

Complexo eletrônico: o projeto em microeletrônica no Brasil

Regina Maria Vinhais Gutierrez
Lilian Ribeiro Mendes

<http://www.bndes.gov.br/bibliotecadigital>

Complexo eletrônico: o projeto em microeletrônica no Brasil

Regina Maria Vinhais Gutierrez
Lilian Ribeiro Mendes*

Resumo

Um estudo internacional foi contratado pelo BNDES em 2002 visando à implantação de uma indústria de circuitos integrados (CI) no País. O principal foco do trabalho era a fabricação desses componentes, embora fossem examinados em detalhe toda a cadeia de valor e os vários modelos de negócios que ela possibilitava. Tal análise incluía a etapa de projeto, vista como alvo imprescindível na construção de um ecossistema microeletrônico.

Os resultados do estudo, encaminhados ao governo federal, serviram para fundamentar inúmeras ações de política industrial que se seguiram, incluindo a criação do Programa CI Brasil. Este objetivava a implantação no País do elo de projeto da cadeia de valor estudada, tendo sido o BNDES chamado a integrar a Comissão de Implementação do Programa.

*Respectivamente, gerente e analista de sistemas do Departamento da Indústria Eletrônica da Área Industrial do BNDES. As autoras agradecem a colaboração do chefe do departamento Mauricio dos Santos Neves, e do coordenador geral de Microeletrônica do MCT Henrique de Oliveira Miguel, e também ao bibliotecário Arthur Adolfo Guarido Garbayo e ao assistente Rafael Bernardo da Silva.

O presente trabalho delinea a evolução da indústria de circuitos integrados (CI) e de suas tendências, detalhando o projeto em microeletrônica e as empresas que o adotaram como centro do seu modelo de negócios. Apresenta também o Programa CI Brasil e a situação brasileira em projeto. Por fim, é feito um breve balanço da atuação recente do BNDES relativamente ao setor e são apresentadas propostas de ação para o Banco.

Introdução

Em artigo publicado em março de 2004,¹ foi feita a síntese de um estudo internacional contratado pelo BNDES para atração de investidores, visando à implantação de uma indústria de circuitos integrados (CI) no País. Embora o principal foco do trabalho fosse a fabricação desses componentes, foram examinados em detalhe a cadeia de valor do CI e os modelos de negócios que ela possibilitava. Isso incluía a etapa de projeto, vista como alvo imprescindível na construção de um ecossistema microeletrônico, como apresentado ao final daquele artigo.

Os resultados do estudo foram encaminhados ao governo federal e serviram para fundamentar inúmeras discussões de política industrial que se seguiram, entre elas, as que levaram à criação, pelo Ministério da Ciência e Tecnologia (MCT), do Programa CI Brasil. Este tinha por objetivo a criação e implantação no País do elo de projeto da cadeia de valor estudada para o CI. O BNDES, como membro ativo na execução das políticas de governo, foi chamado a integrar a Comissão de Implementação do Programa e o vem efetivamente acompanhando.

Muito poderia ser dito sobre a importância de se ter todo o ecossistema de microeletrônica implantado internamente, repetindo a extensa justificativa que integra o artigo citado. Preferimos não fazê-lo, sugerindo a leitura prévia do artigo. Ressaltamos, contudo, que permanecem os objetivos estratégicos de adensamento da cadeia produtiva eletrônica e de aumento da atividade de desenvolvimento tecnológico no País, não apenas de produtos eletrônicos como também de bens integrantes de outras cadeias produtivas. Quanto à urgência da fabricação de CIs no Brasil, não somente continua existindo como é bem maior, o que pode ser verificado pela análise das estatísticas de balanço comercial apresentadas na Tabela 1.

¹ Gutierrez, R.M.V. & Leal, C.F.C. Estratégias para uma Indústria de Circuitos Integrados no Brasil. **BNDES Setorial**, Rio de Janeiro: BNDES, nº 19, p. 3-22, mar. 2004.

Tabela 1 | Brasil: Balança Comercial do Complexo Eletrônico - 2009
(em US\$ milhão)

Discriminação	2002	2003	2004	2005	2006	2007	2008	2008**	2009*
Importações	5.738,0	5.986,8	8.486,6	10.632,5	13.529,1	15.158,3	20.124,0	9.669,3	6.047,1
Informática	1.328,3	1.250,8	1.500,8	1.948,8	2.654,7	2.886,3	3.611,4	1.753,4	1.175,7
Eletrônica de Consumo	408,9	320,7	507,6	736,7	985,4	1.137,0	1.342,3	646,0	437,8
Telecomunicações	1.499,2	1.574,2	2.450,0	3.055,4	4.061,3	4.906,9	7.500,2	3.502,1	2.173,3
Componentes	2.501,6	2.841,1	4.028,2	4.891,6	5.827,7	6.228,1	7.670,1	3.767,8	2.260,3
Semicondutores Discretos	248,3	269,2	350,4	359,7	395,9	417,8	534,0	257,8	166,8
Circuitos Integrados	1.250,2	1.470,5	2.036,0	2.528,6	2.912,0	2.975,6	3.465,5	1.747,1	1.151,5
Exportações	2.432,7	2.439,1	2.472,2	4.248,6	4.677,9	3.776,1	3.962,8	1.979,5	1.325,4
Informática	167,9	233,7	312,3	460,0	486,9	422,0	379,7	175,6	164,6
Eletrônica de Consumo	282,9	258,6	264,6	199,1	197,7	231,4	240,8	122,6	85,4
Telecomunicações	1.551,8	1.553,6	1.469,9	3.188,4	3.562,6	2.739,9	2.953,8	1.481,8	944,5
Componentes	430,1	393,2	425,4	401,1	430,7	382,8	388,5	199,5	130,9
Semicondutores Discretos	16,4	10,8	13,1	15,1	21,1	29,1	37,8	19,0	8,4
Circuitos Integrados	72,4	34,5	44,9	52,7	76,3	41,9	38,8	19,8	17,3
Saldo	(3.305,3)	(3.547,7)	(6.014,4)	(6.383,9)	(8.851,2)	(11.382,2)	(16.161,2)	(7.689,8)	(4.721,7)
Informática	(1.160,4)	(1.017,1)	(1.188,5)	(1.488,8)	(2.167,8)	(2.464,3)	(3.231,7)	(1.577,8)	(1.011,1)
Eletrônica de Consumo	(126,0)	(62,1)	(243,0)	(537,6)	(787,7)	(905,6)	(1.101,5)	(523,4)	(352,4)
Telecomunicações	52,6	(20,6)	(980,1)	133,0	(498,7)	(2.167,0)	(4.546,4)	(2.020,3)	(1.228,8)
Componentes	(2.071,5)	(2.447,9)	(3.602,8)	(4.490,5)	(5.397,0)	(5.845,3)	(7.281,6)	(3.568,3)	(2.129,4)
Semicondutores Discretos	(231,9)	(258,4)	(337,3)	(344,6)	(374,8)	(388,7)	(496,2)	(238,8)	(158,4)
Circuitos Integrados	(1.177,8)	(1.436,0)	(1.991,1)	(2.475,9)	(2.855,7)	(2.933,7)	(3.426,7)	(1.727,3)	(1.134,2)

Fonte: Secex (Agregação BNDES)

* Realizado até junho/2009.

** Realizado até junho/2008.

Vale observar que as estatísticas não refletem completamente o déficit do complexo eletrônico, pois não estão computados os componentes semicondutores que integram partes e peças de equipamentos ou bens finais importados, sejam eles eletrônicos ou não, caso da eletrônica embarcada. Destaca-se também a redução do déficit na primeira metade de 2009, quando comparado com o ano anterior, efeito da redução da atividade da economia, embora sinalize um déficit anual preocupante.

A situação efetiva da indústria no Brasil não mudou muito desde 2004, à exceção da fábrica de encapsulamento e testes da Itaucom, que se retirou do mercado, porém foi substituída pela da Smart, que ocupou o seu lugar com a implantação de um empreendimento do mesmo tipo. Outros fatos importantes, tanto do ponto de vista legal quanto empresarial, são destacados ao longo deste artigo.

A partir de uma breve caracterização técnica, o presente trabalho delinea a evolução do CI e da indústria ao longo dos últimos 50 anos, comenta a sua situação atual e suas tendências. O projeto em microeletrônica e as empresas que o adotaram como centro do seu modelo de negócios são estudados em detalhe. A seguir são apresentados o histórico do Programa CI Brasil e as observações sobre a situação brasileira em projeto. Por fim, é feito um breve diagnóstico das ações do BNDES e são apresentadas propostas de ação para o Banco.

Para uma melhor compreensão do CI e da sua fabricação, indicamos a leitura do artigo Componentes Eletrônicos: Perspectivas para o Brasil, integrante do *BNDES Setorial 13*,² especialmente de seu Anexo 1.

Aspectos técnicos

O circuito integrado

Na década de 1950, foi iniciada a produção em escala comercial de um componente eletrônico descoberto poucos anos antes, o transistor. Construído em material semicondutor, o transistor revolucionou a eletrônica por permitir a realização de funções como a amplificação de sinais, anteriormente só realizada por válvulas.

2 Melo, P.R.S., Rios, E.C.S.D. e Gutierrez, R.M.V. Componentes eletrônicos: perspectivas para o Brasil. *BNDES Setorial*, Rio de Janeiro: BNDES, n. 13, p. 3-64, mar. 2001.

Em 1959 surgiu o transistor plano, assim chamado porque todas as suas partes ocupavam um mesmo plano. O que visava a uma nova técnica de fabricação acabou tornando-se a base para o desenvolvimento de um outro tipo de componente, criado a partir da interligação de transistores em uma mesma pastilha ou lasca (*chip*) de silício – o circuito integrado (CI). Este deve o seu nome ao fato de que um único componente, o CI, pode simular o funcionamento de todo um circuito eletrônico com diversos componentes.

Com o passar dos anos e o aperfeiçoamento da tecnologia de fabricação, passou-se de uma escala de integração de algumas dezenas de transistores para milhões de transistores em um único *chip*.

Entre os vários tipos de componentes eletrônicos existentes, são construídos a partir de um substrato de material semicondutor os componentes discretos e os componentes integrados. Os primeiros dividem-se em famílias de diodos, transistores, tiristores etc., enquanto os últimos correspondem aos CIs.

O campo da eletrônica dedicado ao estudo e à fabricação de componentes miniaturizados, pois que as escalas de produção dos componentes semicondutores são micrométricas ou nanométricas, recebeu a denominação de microeletrônica. O silício é quase que absoluto como o material utilizado no substrato, embora um ou outro tipo de componente de aplicação mais específica utilize outro material na sua construção, como germânio, arseneto de gálio etc.

Apesar da grande diversidade de componentes semicondutores, o CI é atualmente tão onipresente, por estar em todos os aparelhos eletrônicos e bens de tecnologia metal-mecânica que incorporam módulos eletrônicos como suporte ao seu funcionamento, que os termos “semicondutor”, “*chip*” e “componente microeletrônico” são comumente utilizados como sinônimos de CI. É importante frisar que fazer tal uso implica não considerar os componentes discretos, que têm utilizações e mercados próprios, sem perspectivas de substituição por CIs.

Com a crescente integração dos circuitos, os componentes discretos semicondutores vão tendendo a ocupar seu espaço em aplicações de potência. Os processos de fabricação desses componentes são microeletrônicos, porém a questão da miniaturização e, portanto, das escalas nanométricas não se coloca tão fortemente.

Classificação dos semicondutores

A primeira distinção a ser feita é entre circuitos analógicos e digitais, denominações advindas do tipo de sinal que processam. Analógicos são sinais que podem assumir valores contínuos, ou seja, quaisquer valores, dentro de um dado intervalo também contínuo. São analógicos sinais sísmicos, biológicos, de som audível (até 20 kHz) etc. Já os sinais digitais podem assumir apenas dois valores discretos, associados a zero e um, sendo processados em tempos determinados, discretos. Os sinais digitais são mais fáceis de processar e mais robustos, pois têm maior imunidade a distorções e ruído. Consequentemente, sempre que possível, os sinais analógicos são codificados para assumir a forma digital. Depois de processados são novamente convertidos em sinais analógicos, pois essa é a natureza dos sinais no mundo. É o caso, por exemplo, dos sistemas de áudio digital.

Nos últimos anos surgiram CIs que integram funções analógicas e digitais, recebendo a denominação *mixed-signal*.

Outra observação merece ser feita sobre as memórias, que, genericamente, podem ser classificadas em voláteis e não voláteis. Enquanto as primeiras mantêm a informação nelas armazenadas somente na presença de alimentação elétrica, as não voláteis, pelo contrário, mantêm a informação mesmo quando o aparelho está desligado.

Uma classificação bastante utilizada pelas empresas de consultoria e pesquisas de mercado é apresentada a seguir.

- Circuitos Analógicos: amplificadores e comparadores; reguladores e referências de tensão; conversores de dados, *switches* e multiplexadores; interfaces.
- Microcomponentes: microprocessadores, microcontroladores e DSP (Digital Signal Processor).
- Circuitos Lógicos: *display drivers*; lógica *standard*; FPGA (Field Programmable Gate Array) e PLD (Programmable Logic Device).
- Memórias: voláteis DRAM e SRAM; não voláteis *flash* Nor e *flash* Nand; outras memórias não voláteis ROM, EPROM e EEPROM.
- Discretos e Optoeletrônicos: discretos (diodos, transistores etc.); sensores e atuadores (de temperatura, pressão etc.); optoeletrônicos (dispositivos *laser*; sensores de imagem; LED (Light Emitting Diode).

- Dispositivos de Aplicação Específica: ASIC (Application Specific Integrated Circuit); ASSP (Application Specific Standard Product).

Faz-se necessária uma distinção entre os componentes padronizados (*standard*) e os componentes customizados. Os primeiros são desenvolvidos, fabricados e vendidos pela indústria de semicondutores, sendo normalmente baseados em padrões, sejam estes formalizados ou consagrados pelo mercado. São conhecidos também como “componentes de prateleira”. Já os componentes de aplicação específica frequentemente configuram uma evolução do customizado para o padronizado. Assim, um CI desenvolvido especialmente para um cliente, ou um pequeno grupo de até três clientes, e cujos volumes de produção não são muito elevados, pode ser qualificado como ASIC. Na sua evolução comercial, caso o número de clientes seja ampliado ou as suas funcionalidades sejam replicadas pelos concorrentes, dando origem a uma aplicação padronizada, vendida em volumes significativamente mais altos, o componente passa a ser qualificado como um ASSP.

Já os CIs programáveis, como FPGA e PLD, apesar de serem componentes padronizados, recebem uma programação em *software* que os “customiza”, a qual pode ser desenvolvida por uma empresa de projeto de CIs ou, mais comumente, por um fabricante de equipamento eletrônico. Vale observar que a decisão entre implementar uma determinada solução digital em FPGA ou em ASIC é bastante comum na indústria de bens eletrônicos, sendo feita uma ponderação técnica e econômica que considera variáveis como tempo de desenvolvimento, custo de projeto, custo de componente fabricado, volume e tempo de vida esperado do produto eletrônico final, dificuldade de cópia pelos concorrentes, consumo de energia etc. Por outro lado, a implementação de uma solução em FPGA é parte obrigatória do processo de desenvolvimento de um ASIC digital, para validação da solução proposta antes de se passar a outras fases do projeto.

É também bastante usual a classificação dos semicondutores de acordo com a sua tecnologia, dividindo-os em duas categorias principais: bipolares e CMOS. A primeira, desenvolvida inicialmente, hoje está associada a aplicações analógicas e de maior potência. A segunda, cujo nome é formado pelas iniciais de Complementary Metal Oxide Semiconductor, tem como principal vantagem o baixo consumo de energia, razão pela qual é largamente utilizada na implementação de circuitos digitais. Vale observar que

vários circuitos *mixed-signal* são de tecnologia Bi-CMOS, reunindo as duas tecnologias mencionadas.

Evolução do CI

É bem conhecida a rápida evolução dos semicondutores. Sua indústria tem demonstrado uma enorme habilidade em diminuir exponencialmente as dimensões mínimas de fabricação dos circuitos integrados. Essa tendência, que equivale a aumentar o nível de integração, é normalmente citada como Lei de Moore.

Gordon Moore foi um dos fundadores da Intel, famosa fabricante de microprocessadores utilizados no PC (Personal Computer). Ele predisse que o número de transistores em um CI cresceria 2^{16} em 16 anos, o que realmente aconteceu de 1959 a 1975. Mudanças na tecnologia levaram a mudanças na lei, de forma que desde meados dos anos 1990 acredita-se que o número de transistores em uma mesma área de silício dobra a cada dois anos. Isso equivale a uma redução nas dimensões dos componentes de aproximadamente 70%.

Os componentes em um circuito integrado têm dimensões diversas, porém interessa definir uma geração tecnológica pela menor dimensão que ela permite construir no componente. Essa dimensão, conhecida como geometria (*node*, em inglês), vem efetivamente diminuindo a cada dois anos em uma razão próxima ao estabelecido pela Lei de Moore, desde a década de 1990.

Assim, considerando-se um período que vai de 1970 até os dias de hoje, tem-se a seguinte sequência de geometrias: 1.5 μm , 1 μm , 0.8 μm , 0.6 μm , 0.5 μm , 0.35 μm , 0.25 μm , 0.18 μm , 0.13 μm , 90 nm, 65 nm, 45 nm. As duas geometrias mais recentes são sempre conhecidas como de ponta, ou *leading edge*, as três imediatamente anteriores como *mainstream* e todas as outras, mais antigas, como maduras.

A escala de integração de um CI é normalmente citada sob a forma de número de transistores por *chip*. Porém, pode também ser expressa pelo número de portas lógicas presentes no *chip*, assumindo-se que cada porta (do tipo Nand) possui quatro transistores. Dessa forma é possível apresentar a evolução da indústria através do surgimento de componentes de maior nível de integração, a saber:

- SSI (Small Scale Integration) – até 10 portas lógicas;
- MSI (Medium Scale Integration) – de 10 até 100 portas lógicas;
- LSI (Large Scale Integration) – de 100 até 10 mil portas lógicas;
- VLSI (Very Large Scale Integration) – de 10 mil até 100 mil portas lógicas;
- ULSI (Ultra Large Scale Integration) – mais de 100 mil portas lógicas.

Ao contrário de todas as outras, a denominação ULSI não é muito utilizada, preferindo-se usar a denominação SoC (System on a Chip) para designar CIs com 10 milhões ou mais de portas lógicas.

Além da integração, outras tendências da indústria de semicondutores merecem ser citadas, como o aumento da velocidade dos circuitos, a diminuição do seu consumo (de potência), a sua miniaturização e a incorporação a eles de novas e diferentes funcionalidades. Todavia, a tendência mais importante de todas, e que tem fundamentado a Lei de Moore, é a diminuição do custo por função, aumentando a produtividade da indústria e possibilitando a disseminação da eletrônica por todos os setores da economia. É importante observar que a diminuição do custo por função se dá apesar do aumento do custo do processamento do silício, tornando-se possível graças aos maiores volumes de componentes semicondutores fabricados e demandados.

Contribuiu para o aumento dos volumes na fabricação o aumento progressivo do diâmetro do *wafers* – placa ou bolacha de substrato semicondutor de algumas micras de espessura no qual são construídos os componentes microeletrônicos. Em cada *wafers* são construídas, simultaneamente, inúmeras réplicas do mesmo componente, mais tarde separadas, cada uma das quais recebe o nome de *die*. A evolução dos diâmetros do *wafers*, com as correspondentes geometrias dos *chips* nos seus lançamentos, é a seguinte:

- 5 polegadas (12,7 cm) – 0,6 μm e 0,5 μm ;
- 6 polegadas (15,2 cm) – 0,35 μm e 0,25 μm ;
- 8 polegadas (20 cm) – 0,18 μm e 0,13 μm ;
- 12 polegadas (30,5 cm) – 90 nm, 65 nm e 45 nm.

Para fazer frente a todas essas tendências, a indústria realiza consideráveis investimentos em Pesquisa e Desenvolvimento (P&D). De forma a orientar esses investimentos, a americana Semiconductor Industry Association (SIA) iniciou um trabalho de prospecção e diagnóstico tecnológicos, editando um *roadmap* para a indústria. Juntaram-se à SIA nessa tarefa associações da Europa, Japão, Coreia e Taiwan, dando origem ao International Technology Roadmap for Semiconductors (ITRS).

Segundo o ITRS, a Lei de Moore guiou sozinha os esforços de migração para geometrias menores nos primeiros 30 anos da indústria. No entanto, já há algum tempo que outra força está em ação, no sentido do aumento do desempenho dos produtos por meio de inovações no projeto e no processo de fabricação, além de soluções de *software*, levando a uma “diversificação funcional”. Seria a resultante dessas duas forças – a redução da geometria e a diversificação funcional – a guiar a evolução da indústria nesta década. O ITRS chamou de “More than Moore” esse fenômeno capaz de incorporar funcionalidades aos produtos e aumentar o seu valor para o usuário.

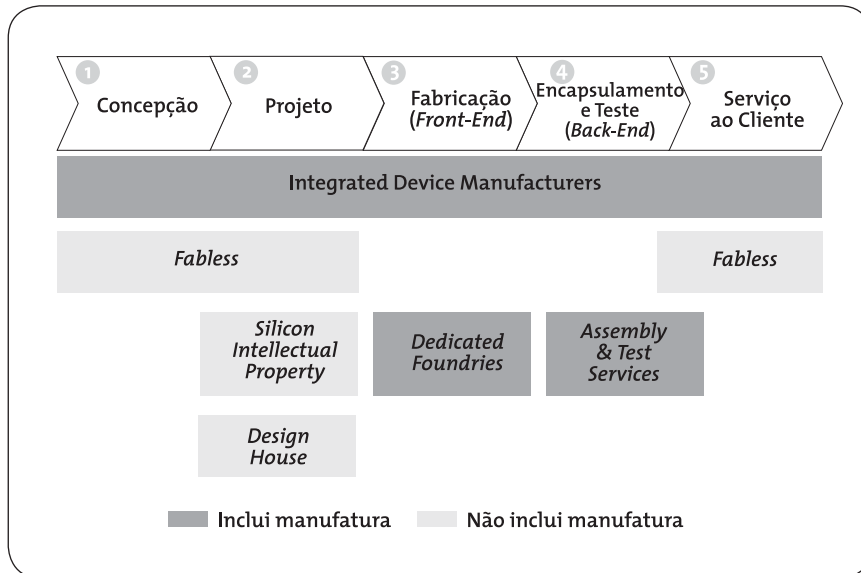
A possibilidade de integração conjunta de diferentes funcionalidades, especialmente as não digitais, como controle de potência, sensores, atuadores, comunicação em radiofrequência (RF) etc., deu origem à criação de componentes SoC (System on a Chip) e SiP (System in Package). Sua criação teve o objetivo de permitir a substituição de todo um sistema, ou quase isso, por um único CI. Por exemplo, um SoC típico pode englobar blocos de funções lógicas, memória, *core* (núcleo) microprocessador, *mixed-signal*, interfaces – USB, Ethernet etc. Esses blocos podem ser *IP cores*, ou seja, blocos reusáveis (como células de projeto) protegidos por propriedade intelectual.

Por fim, surgiu como grande tendência da indústria, também para os próximos anos, a busca por componentes energeticamente eficientes, assim como por processos de fabricação que demandem menos insumos como água e energia.

Cadeia de valor do CI

A Figura 1 apresenta a cadeia de valor de um CI.

Figura 1 | Players da cadeia produtiva de CI



Fonte: Consórcio A.T.Kearney/Azevedo Sette/IDC

Pode ser visto que a produção de um CI compreende cinco etapas distintas, a saber:

- a concepção do produto, realizada ou não em conjunto com o fabricante do bem final, mas sempre visando suprir uma demanda do mercado;
- o projeto (*design*) do componente;
- a fabricação, por meio do processamento físico-químico do *wafer*, etapa denominada de *front-end*;
- a montagem, encapsulamento e teste do CI, etapa denominada de *back-end*;
- o serviço ao cliente.

Os produtores de CIs atuam de diferentes formas nessa cadeia de valor, podendo ser classificados, de acordo com o seu modelo de negócios, em:

- fabricantes integrados, que realizam todas as atividades da concepção do componente ao serviço ao cliente do produto, o qual leva a sua marca, sendo conhecidos como IDM (Integrated Device Manufacturer);

- empresas sem fábrica (*fabless*), que realizam todas as atividades da concepção do CI ao serviço ao cliente do produto, porém terceirizam a fabricação (*front-end*) e montagem (*back-end*) do componente, sendo elas as donas da marca e, portanto, do mercado de seus produtos.
- fabricantes dedicadas (*dedicated foundries*), que realizam o processamento físico-químico dos componentes;
- encapsuladores, voltados à etapa de *back-end*;
- empresas de projeto (*design houses*) independentes, subcontratadas por fabricantes de bens finais, pelas IDM ou pelas *fabless*;
- empresas de propriedade intelectual em silício (SIP), que desenvolvem células de projeto – *IP cores* – e as licenciam ou vendem a terceiros: IDM, *fabless* ou *design house* (DH) –, podendo ou não ser remuneradas por meio de *royalties*.

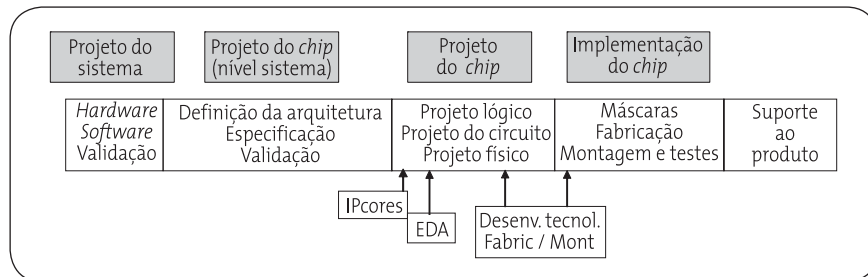
A terceirização da fabricação tem suas origens na década de 1970, quando diversas IDMs começaram a realizar operações de montagem final e testes na Ásia, como forma de aumentar suas margens de lucro, usando as novas unidades como segunda fonte para as fábricas do Primeiro Mundo. Logo a Ásia tornou-se lugar de grandes operações. Foi aproveitando essa oportunidade que o governo de Taiwan, em parceria com a Philips, criou em 1985 a Taiwan Semiconductor Manufacturing Company (TSMC) como uma *foundry* dedicada. Outras *foundries* surgiram na região, servindo como alternativa de fabricação em tecnologias defasadas do *leading edge* de uma ou mais gerações. Atualmente, poucos meses após o lançamento de uma nova geometria, ela se torna disponível nas grandes *foundries* da Ásia.

Quanto ao projeto de componentes, observou-se que o aumento do número de transistores integrados nos *chips* tornava muito difícil projetar e validar as conexões. A isso se somou a necessidade de aumentar a produtividade dos projetistas. Inicialmente, cada IDM criou suas próprias ferramentas CAD (Computer-Aided Design) e suas bibliotecas de portas lógicas e funções. No entanto, a crescente complexidade dos projetos tornou necessárias a criação de ferramentas automáticas e a formação de empresas especializadas para tratar desse desafio. Surgiu, assim, nos anos 1980, a indústria de EDA (Electronic Design Automation) e, em 1989, o EDA Consortium, reunindo as novas empresas de ferramentas de projeto de semicondutores. Hoje essa indústria movimenta cerca de US\$ 3 bilhões ao ano.

O projeto do CI

A Figura 2 apresenta o detalhamento tradicional da etapa de projeto de um CI digital normalmente realizado em uma IDM, originando um CI padronizado ou ASSP.

Figura 2



Primeiramente é feito um planejamento para estabelecimento de alguns requisitos básicos e definição de quais funções serão implementadas em *hardware* e quais em *software*.

Dá-se início, então, à especificação do *chip*, etapa em que são detalhadamente definidos todos os requisitos de funcionalidade e desempenho que o CI deverá atender, além das tecnologias de fabricação e encapsulamento que serão utilizadas.

Segue-se a codificação do projeto, feita em diferentes níveis de abstração. Ao final de cada etapa são realizadas simulações e validação do trabalho efetuado, o que implica o retorno a passos anteriores para alterações. O projeto é demonstrado e validado em *hardware*, mediante sua implementação em FPGA, juntamente com a criação de um *hardware* de referência, que pode ser utilizado, por exemplo, para demonstrações a futuros clientes do CI. Com o *hardware* é criada uma primeira versão do *software* aplicativo.

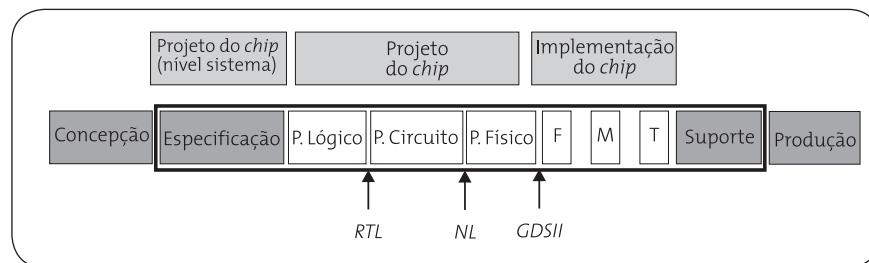
São geradas versões do projeto nos níveis lógico (código RTL), de circuito (Netlist) e físico. Nessa tarefa pode ser utilizada a biblioteca de IPs própria e, se for o caso, complementá-la com a compra ou o licenciamento de *IP cores* fornecidos por terceiros. O projeto físico ocorre em estreita sintonia com o processo de fabricação, pois as bibliotecas e os parâmetros específicos do processo são utilizados para a geração do *tape-out* – programa para a fábrica, usualmente no formato GDSII. Dependendo do grau de inovação

do projeto, pode ser necessário o desenvolvimento de tecnologia de processo e de encapsulamento para o *chip*, com a decorrente interação entre as respectivas equipes e a equipe de projeto. Essa cooperação entre diferentes etapas e atores da cadeia de valor de um CI é um dos pontos relevantes para explicar por que essa indústria aumenta seu potencial de sucesso quando desenvolve um ecossistema completo.

A partir do *tape-out*, são feitas as máscaras e a prototipagem dos *chips*, que, após caracterização, voltam à equipe de projeto para testes e validação, inclusive quanto à integração ao *hardware* e ao *software* desenvolvidos. Caso os resultados sejam positivos, dispensando a volta a etapas anteriores de projeto e prototipagem, o produto entra na fase de suporte, que envolve o desenvolvimento de programas de teste, análise de falhas, testes de confiabilidade etc. Aprovado, o novo *chip* entra em produção e distribuição ao mercado.

Já o fluxo de projeto de um ASIC apresenta algumas variações, ilustradas na Figura 3 a seguir. Tal projeto é normalmente conduzido por uma *fabless* ou DH, em interação com um fabricante de equipamentos, uma vez que se trata de um componente customizado, desenvolvido sob encomenda.

Figura 3



A concepção e a especificação do *chip* são feitas em parceria com a empresa cliente, sendo fundamental uma discussão não apenas sobre o projeto atual como também sobre o *roadmap* do *chip*, que ensejará a evolução do produto em projetos futuros.

O projeto no nível do *chip* será feito pela *fabless*, constituindo a validação em FPGA e os correspondentes *hardware* de referência e *software* de aplicação o marco deflagrador do início do desenvolvimento do bem eletrônico a que o *chip* será mais tarde integrado. Essa atividade é conduzida pela empresa cliente.

Em paralelo à tarefa de desenvolvimento no cliente, a *fabless* envia o *tape-out* para fabricação, montagem e teste dos protótipos. Uma vez validado o resultado pela equipe do projeto, é solicitada a fabricação de um lote piloto de *chips*, os quais são enviados ao cliente como amostras de engenharia. Tais componentes visam, ao final do desenvolvimento, testes e certificação ou homologação de bens eletrônicos. Nessa fase, o cliente conta com o suporte da *fabless*, que obtém assim a validação de seu projeto em aplicações concretas.

Uma vez que o bem eletrônico tenha sido aprovado para o mercado, a empresa cliente gera pedidos de peças (CIs) para a *fabless*, que providencia o seu fornecimento. Vale observar que, uma vez colocados os pedidos, o cliente espera o seu atendimento em curto período de tempo, normalmente bastante inferior ao tempo de entrega de um serviço de fabricação e montagem por parte do(s) fornecedor(es) da *fabless*. A fim de evitar qualquer contratempo, a *fabless* deve, previamente, acordar com a empresa cliente uma programação de entrega de *chips* ou solicitar a sua fabricação aos fornecedores de forma independente e administrar um estoque de peças, o que pode ter fortes implicações financeiras pela necessidade de mobilização de capital.

O desenvolvimento de *software* pela *fabless* é uma atividade constante a partir da primeira versão de aplicativo entregue ao cliente com o *hardware* de referência. Novas versões devem acompanhar a entrega de amostras de engenharia, o tempo de suporte e o início de produção efetiva.

Cabe observar que os processos aqui descritos referem-se a projetos de componentes digitais. O projeto de componentes analógicos já difere desde a especificação, mais paramétrica, e é realizado com o apoio de um reduzido número de ferramentas automáticas. Concluído e validado o projeto, o *tape-out* é enviado para a fabricação.

As ferramentas EDA usadas para projeto de circuitos digitais não são adequadas para o projeto de circuitos analógicos. A demanda crescente por circuitos analógicos e de RF, verificada nos últimos anos, e o número reduzido de projetistas analógicos existente estão motivando a criação de mais ferramentas automáticas para redução do esforço de projeto.

Em adição, começam a aparecer em projetos digitais problemas similares aos encontrados nos circuitos analógicos. A integração, em quase todos os dispositivos de comunicação móvel, de sistemas de processamento de sinais digitais e circuitos analógicos RF, é um exemplo das causas desses problemas, enfrentados sempre que há necessidade de compartilhamento da área do *chip* em componentes SOC.

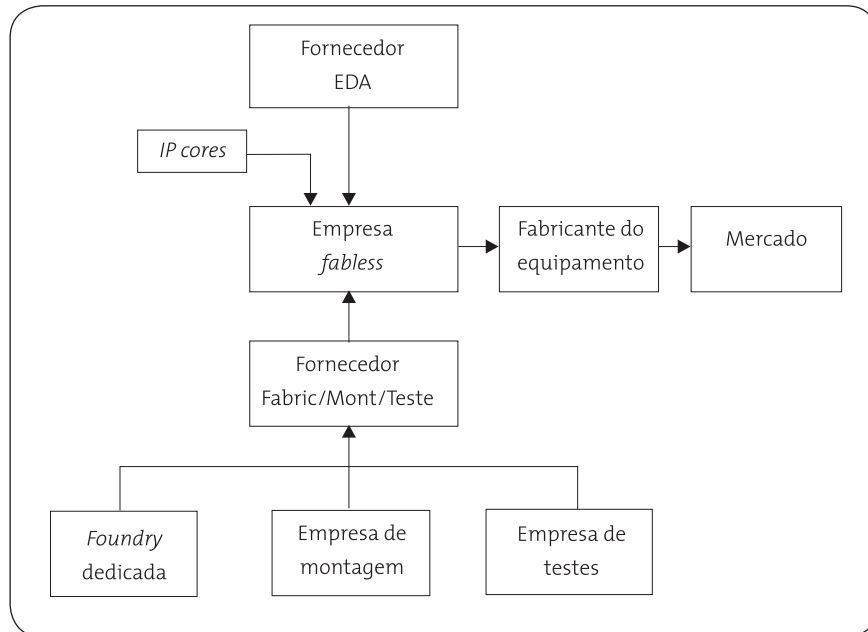
O tempo de projeto de um *chip* varia enormemente com a sua complexidade, bem como com a disponibilidade de bibliotecas de IP para reutilização. Entretanto, de maneira geral, o tempo de desenvolvimento de um *chip* é bastante superior ao tempo de desenvolvimento do bem eletrônico, o que permite concluir ser fundamental o comprometimento do cliente com o trabalho que estará sendo desenvolvido pela *fabless*, e unicamente por ela, durante meses.

Outra conclusão importante é que o *tape-out* para fabricação, embora seja um importante marco para a atividade de projeto, assinala apenas a metade do ciclo de negócios da *fabless*, e mesmo da DH, pois somente após a fabricação do *chip*, do seu teste e da sua validação em campo o projeto poderá ser entendido como concluído. Isso porque os resultados dos testes realizados com os protótipos e com as amostras de engenharia poderão impor alterações ao projeto original.

Independentemente do CI a ser desenvolvido, todos os projetos devem ter como pré-requisito a testabilidade do *chip* a ser gerado, ou seja, o projetista deve ter sempre em mente que cada solução criada precisa ser validada quanto à sua aderência às especificações e à qualidade. De forma análoga, todo o desenvolvimento de CI deve ter como alvo a sua fabricação, como materialização do que foi especificado. Isso requer grande interação entre projeto e fabricação, ou seja, trazer para o projeto a realidade da fábrica.

No caso de projetos realizados por uma IDM clássica, todas as atividades descritas são realizadas internamente. Contudo, no caso de projetos conduzidos por uma *fabless*, apenas parte das atividades é realizada pela própria empresa, sendo o restante contratado de parceiros especializados, conforme ilustra a Figura 4.

Figura 4



A empresa *fabless* de sucesso sabe comandar adequadamente uma rede de fornecedores parceiros de, pelo menos, ferramentas EDA, serviços de fabricação, montagem e testes – para protótipos, lotes de engenharia e produção em escala –, e, eventualmente, *IP cores*. Além disso, algumas pequenas empresas contratam também serviços de projeto físico.

Todavia, na evolução do seu negócio, a empresa *fabless* vai aprofundar sua atividade de projeto até o *tape-out*. Vai perceber também que precisa ampliar sua interação com o mercado final e, portanto, ir além dos fabricantes de equipamentos. Em relação aos fornecedores, isso significa administrar todas as relações, acessando *foundries*, encapsuladoras e possíveis empresas de testes diretamente.

As maiores *fabless*, cientes da necessidade de ampliar tais interações, especialmente quando se trata de projetos mais complexos envolvendo tecnologias de ponta, cunharam a expressão Integrated Fabless Manufacturing (IFM), buscando uma proximidade com as várias competências similar à que existe entre as unidades de uma IDM, porém mantendo a independência entre as empresas.

Negócios da DH

Partindo de uma pequena soma de capital é possível estruturar-se uma *design house* (DH), a qual precisará de uma pequena infraestrutura, ferramentas de projeto e alguns técnicos. Seu negócio possivelmente será a simples prestação de serviços de projeto a empresas *fabless*, IDMs ou fabricantes de bens eletrônicos em busca de diferenciação para os seus produtos. A DH será remunerada pelos seus serviços. A marca a ser impressa nos CI será a do cliente, que se responsabilizará pela fabricação dos componentes em volume, seja em instalações próprias, seja terceirizando esse serviço.

Com o seu amadurecimento, a DH poderá transformar-se em uma empresa de SIP, fornecendo ou licenciando IP *cores* a empresas *fabless*, IDMs ou fabricantes de bens eletrônicos. Estas irão incorporar o bloco adquirido a seu projeto de CI, remunerando a DH à vista ou com um *royalty* sobre a venda de cada componente. Também nesse caso será do cliente a responsabilidade pela fabricação dos CIs em volume. Os IPs poderão ser negociados sob duas maneiras: *hard*, entregue sob a forma de código GDSII; *soft*, sob a forma de descrição RTL. Esta última possibilita a mudança de um processo de fabricação para outro sem grande dificuldade, porém, não contempla a otimização para um dado processo. Já a forma *hard* é específica e otimizada para o processo de uma determinada *foundry*.

Outro caminho para a DH é o que a leva a ser uma *fabless*. Seu negócio, anteriormente descrito, proporciona visibilidade no mercado consumidor, até porque os produtos saem com a marca da empresa. O volume de recursos necessários para a estruturação de uma *fabless*, entretanto, é bem maior, não somente para comandar toda uma cadeia de fornecedores, incluindo a administração de estoques, como para a realização do projeto. É importante observar que os custos associados ao desenvolvimento de um *chip* são incorridos antes do seu lançamento e amortizados paulatinamente, durante o período normal de vendas ao cliente.

Estima-se que o montante de capital necessário para o desenvolvimento completo de um CI, chegando até a sua produção em volume, nos Estados Unidos (EUA), seja da ordem de algumas dezenas de milhões de dólares. Várias empresas naquele país têm se beneficiado do apoio de fundos de capital de risco, que realizam uma média de três rodadas por *fabless*, segundo estatísticas divulgadas pela Global Semiconductor Alliance (GSA) reproduzidas em Kumar (2008).

Somente algumas entre todas as *fabless* criadas a cada ano tornam-se rentáveis e, portanto, sobrevivem. As causas mais comuns de insucesso são:

- baixo comprometimento com os usuários;
- produção apenas do CI, sem compreender que os usuários anseiam também por plataformas de referência, *software*, suítes de teste e exemplos de aplicações;
- recomeços e retrabalhos para incorporar mais e mais funções, levando à perda da janela de mercado do usuário;
- pouca experiência no gerenciamento da cadeia de fornecedores;
- dificuldades de financiamento.

Vencidos os problemas de sustentabilidade, o natural crescimento da DH e o aumento de sua rentabilidade a tornam objeto provável de participação em operações de fusão e aquisição. Alguns caminhos prováveis são a abertura de capital quando o seu nível de faturamento e de rentabilidade forem adequados, caso em que assume o papel de consolidador, ou a sua aquisição por outra empresa, caso em que fica no papel de consolidado.

Perspectivas para o projeto

Dois tipos de complexidade emergem para o projeto no caminho da evolução tecnológica da indústria: a complexidade do silício e a complexidade do sistema.

A complexidade do silício é consequência do processo de redução em escala das dimensões, da introdução de novos materiais ou adoção de novas arquiteturas de blocos ou interconexões. Daí, muitos fenômenos imprevistos precisam ser tratados pelo projeto, podendo ser citados: as correntes parasitas e tensões de alimentação e de avalanche não acompanham a mesma escala de redução geométrica; os acoplamentos entre dispositivos e interconexões em alta frequência; a maior variabilidade na fabricação; a complexidade da passagem do projeto para a manufatura (máscaras etc.); a introdução de mudanças no projeto associadas à caracterização de bibliotecas, ao desempenho de circuitos analógicos e digitais, ao reuso, à existência de plataformas de implementação predizíveis; a menor confiabilidade nos resultados (aquecimento, migração de elétrons, efeito túnel no isolante).

A complexidade do sistema refere-se ao crescente número de transistores no *chip*, possibilitado pelas menores dimensões e solicitado pela demanda,

que anseia por mais funcionalidades, menor custo e tempo mais curto de lançamento no mercado. Tudo isso impõe desafios à produtividade do projeto e à integração, em componentes SoC, por exemplo. A especificação e a validação tornam-se também extremamente complexas, havendo muitas vezes a necessidade de administrar *trade-offs* entre custo e valor ou qualidade. É preciso lidar com: reuso; verificação e teste; otimização de projeto frente ao custo; projeto de *software* embarcado; plataformas de implementação confiáveis; gerenciamento do projeto, associado a questões como tamanho da equipe e respectiva distribuição geográfica, gerenciamento de dados, suporte a colaboração, métricas etc.

Os ciclos da fabricação são medidos em semanas, com baixo grau de incerteza. Em oposição, os ciclos de projeto e verificação são longos, medidos em meses ou anos, e possuem um alto grau de incerteza.

Por outro lado, a velocidade de integração em um diminuto pedaço de silício de um número cada vez maior de transistores não foi acompanhada pela habilidade de utilizar esses transistores em um projeto, havendo o que o ITRS chama de um *productivity gap*. Todavia, apesar disso, os investimentos em tecnologia de fabricação continuam sendo maiores que aqueles destinados ao desenvolvimento de tecnologia de projeto. Esta se manifesta em ferramentas, bibliotecas, caracterizações de processos de manufatura e metodologias.

Mercado

A indústria de semicondutores

A indústria de CI tem vivido uma história de crescimento constante, alternado em ciclos gerados pelo movimento de grandes investimentos produtivos e pela sua retração. Em períodos de alta demanda por componentes e, conseqüentemente, altos preços, um grande número de ofertantes realiza investimentos em fabricação, os quais, ao maturarem, geram uma oferta muito elevada de CIs, derrubando preços e adiando novos investimentos. No entanto, em virtude do intenso uso dos componentes em um número cada vez maior de aplicações, esses períodos de retração são curtos, novamente seguidos por momentos de euforia dos investidores.

O estouro da bolha da internet, no início dos anos 2000, trouxe um período de forte recessão a essa indústria que, no entanto, a partir da sua recuperação, voltou ao comportamento de crescimento oscilante.

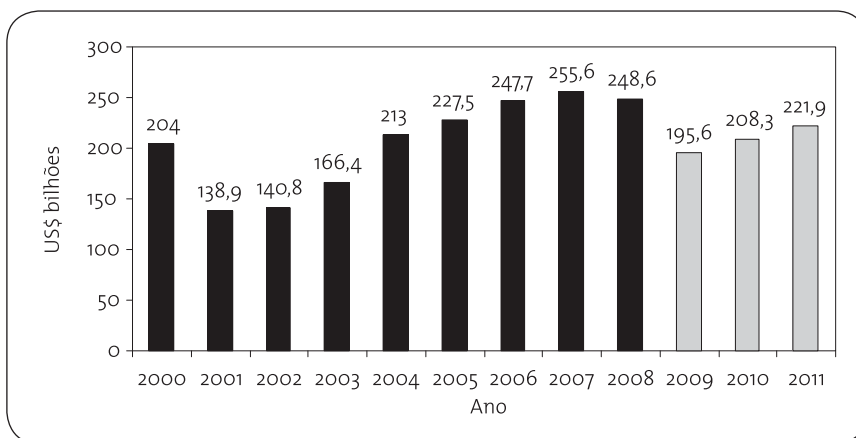
O período de retração mais recente, iniciado em 2008, teve causas distintas. Essa retração foi causada pela enorme queda na demanda por bens finais eletrônicos em todo o mundo, atingindo fortemente os mercados demandantes da América do Norte, Japão e Europa. Com a queda da demanda, os fabricantes de bens eletrônicos diminuíram drasticamente suas encomendas aos fornecedores de CIs, trabalhando com os estoques existentes, só tendo iniciado a sua reposição em meados de 2009.

As primeiras notícias sobre a recuperação da indústria de componentes começaram a surgir com a divulgação dos resultados do segundo semestre de grandes IDMs – Intel, Texas Instruments e Samsung. Entretanto, espera-se que a recuperação completa da indústria ocorra em um período de dois a três anos, pois a nova demanda por bens eletrônicos é, em boa parte, motivada pela diminuição dos preços desses bens.

O desempenho das vendas da indústria de semicondutores no período de 2000 a 2008 e as projeções para os três anos seguintes, segundo a SIA, que reúne as empresas responsáveis por 90% da produção nos EUA, são mostrados no Gráfico 1.

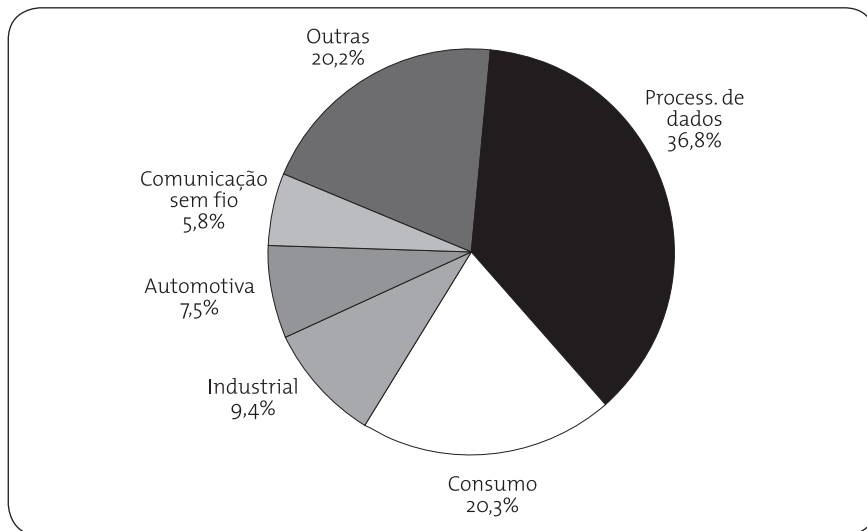
Com a reposição de estoques, a demanda por semicondutores aproxima-se da demanda por bens eletrônicos. Agrega-se a isso o fato de que, à medida que a microeletrônica integra um número crescente de produtos, a indústria de semicondutores tende a acompanhar o desempenho da economia como um todo.

Gráfico 1 | Mercado mundial de semicondutores



Fonte: SIA

Gráfico 2



Fonte: iSuppli (apud *Financial Times*)

Tabela 2 | Maiores fabricantes de CI – 2008

Processamento de Dados	
Intel	31,60%
Samsung	12,90%
AMD	5,50%
Eletrônica de Consumo	
Toshiba	12,60%
Sony	11,70%
Samsung	4,50%
Comunicação sem Fio	
Qualcomm	12,50%
Texas Instruments	9,30%
STMicroelectronics	7,60%

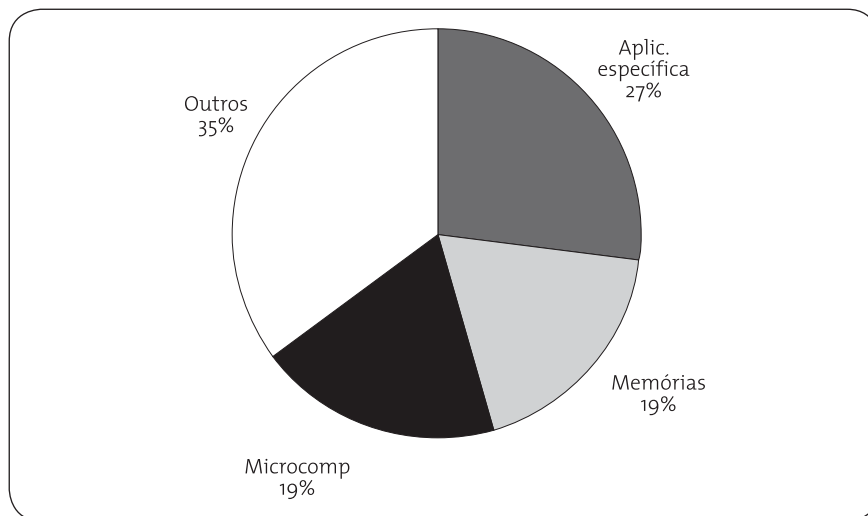
Fonte: iSuppli (apud *Financial Times*)

Além das aplicações tradicionais, novos usos e funções vão sendo agregados ao portfólio da microeletrônica, despontando como prováveis campeões de vendas os *netbooks* e novos modelos de terminais celulares.

No Gráfico 2 podem ser vistas as participações das principais aplicações no mercado mundial de CIs, calculadas com base nas receitas do setor no ano de 2008. A Tabela 2 apresenta os principais fornecedores de *chips* para essas aplicações.

De acordo com o Gartner,³ o mercado mundial de semicondutores em 2009 será da ordem de US\$ 198 bilhões, representando uma queda de 22,4% em relação a 2008, quando totalizou US\$ 255 bilhões. Para essa consultoria, o mercado de 2009 continuará sendo liderado pelos dispositivos de aplicação específica – ASSP e ASIC –, seguidos pelas memórias e pelos microcomponentes – microprocessadores, microcontroladores e DSP. Merece registro o fato de as memórias assumirem o segundo lugar em participação nesse mercado, ocupando o lugar mantido pelos microcomponentes no ano anterior. Os Gráficos 3 e 4 ilustram essas afirmações.

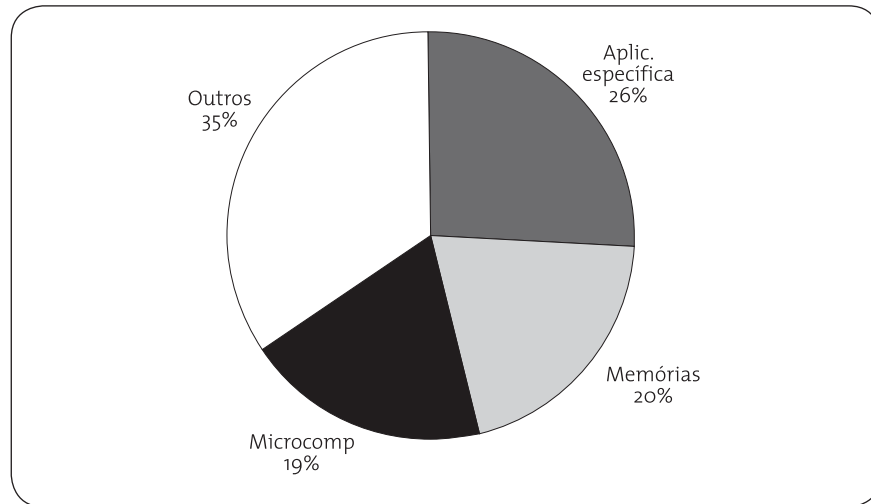
Gráfico 3 | 2008 - US\$ 255 bilhões



Fonte: Gartner

³ Consultoria norte-americana especializada em pesquisa e aconselhamento sobre tecnologia.

Gráfico 4 | 2009 - US\$ 198 bilhões



Fonte: Gartner

À retração atual se somam outras questões, como os altos custos associados ao desenvolvimento de novos processos e, paradoxalmente, a intensificação da necessidade de inovar. Isso tem levado alguns especialistas a prognosticar profundas transformações na indústria no futuro próximo. Como exemplo, cita-se o caso dos microcomputadores. O mercado do Personal Computer (PC), reconhecidamente um dos principais motores da indústria de semicondutores, está saturado nos países do Primeiro Mundo. Com isso, as principais fornecedoras de semicondutores para PCs vêm procurando outros segmentos de atuação como a comunicação celular ou os *netbooks*, nos quais, porém, além de enfrentarem grande concorrência, há exigências de miniaturização e eficiência energética incomuns no segmento de PCs. Como decorrência desse fato, prevê-se menor rentabilidade ou maior busca por inovação.

As previsões do Gartner para 2009 publicadas no *Financial Times*, referentes a essa transformação no mercado, são mostradas na Tabela 3.

Tabela 3

Dispositivo	Unidades Vendidas (milhões)	Crescimento Anual (%)
Desktop	125	-15,7
Laptop	149	4,1
Netbook	21	42,9
Smartphone	191	37,2

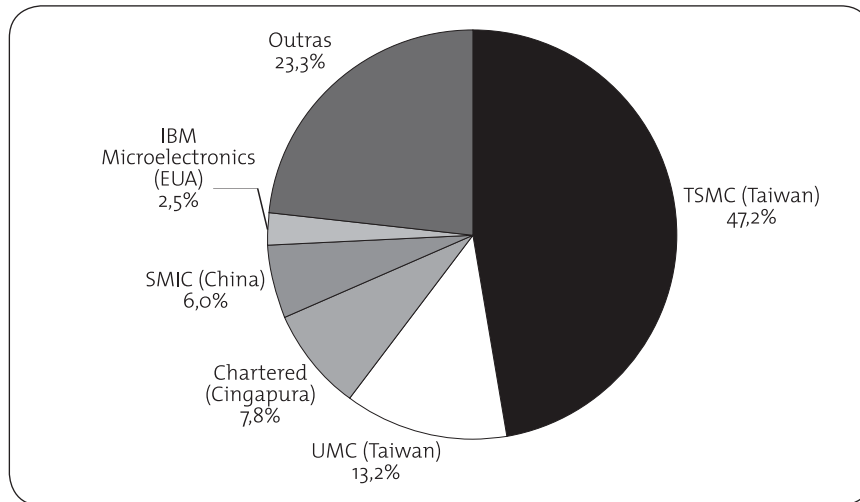
Fazendo frente aos novos desafios no segmento de comunicação sem fio o ano de 2008 presenciou a consolidação das operações nesse segmento de três grandes empresas europeias – STMicroelectronics, NXP e Ericsson –, para a oferta de plataformas móveis e semicondutores de ponta. A nova empresa adotou o modelo *fabless*, seguindo uma tendência vigente entre IDMs já há alguns anos.

Os cada vez mais elevados custos de construção de fábricas com tecnologia de ponta têm levado IDMs à terceirização da etapa de manufatura de novos componentes, passando a dedicar-se à diferenciação por meio de projetos inovadores. É o caso, por exemplo, da AMD que, há alguns meses, assumiu o modelo *fabless*, transferindo suas operações de manufatura para a Globalfoundries, criada para vender serviços de fabricação à AMD e também a outras empresas.

Muitas empresas estão também reduzindo seu portfólio de produtos, de forma a mais rapidamente adaptar-se às demandas do mercado e às novas condições de competição, em que se deparam com empresas altamente focadas em um mercado específico.

A partir do empreendedorismo de engenheiros experientes em microeletrônica, e com a participação de fundos de capital de risco, foram constituídas empresas que deram origem ao modelo *fabless*. Tais empresas realizavam projetos de circuitos inovadores, contratando a sua fabricação a IDMs, que utilizavam para tanto sua capacidade ociosa. O amadurecimento do modelo *fabless* tirou partido da implantação das grandes *foundries* dedicadas da Ásia, sem prejuízo da proliferação da fabricação distribuída (modelos *fabless* e *dedicated foundry*) por outros continentes.

A participação das principais *foundries* dedicadas no mercado em 2008, segundo avaliação do Gartner publicada no *Financial Times*, pode ser vista no Gráfico 5.

Gráfico 5 | Mercado mundial de *foundries* dedicadas – 2008

De acordo com o Gartner, o faturamento das *foundries* de Taiwan somou US\$ 14,9 bilhões em 2008, equivalendo a uma queda de 8,7% no mesmo ano, superior à queda total da indústria de semicondutores.

Segundo previsão da iSuppli,⁴ a indústria de semicondutores deverá enfrentar em 2009 um crescimento negativo de 23%, porém a demora na reposição dos estoques de bens eletrônicos deverá impactar um pouco mais fortemente a etapa de manufatura de CIs, com uma redução de 25,2%.

Apesar dessas perspectivas pouco otimistas, a TSMC anunciou recentemente a retomada de investimentos ainda em 2009, ao mesmo tempo em que conclamou seus clientes a cooperar com seus esforços de P&D, como forma de fazer frente aos custos crescentes das novas tecnologias. Ao longo dos últimos anos, em que concentrou 56% do serviço de fabricação terceirizado pelas IDMs, a empresa construiu a reputação de ser uma das líderes em tecnologia em semicondutores. Isso tem permitido a prática de preços *premium*, reforçando a sua conhecida rentabilidade.

Quanto às *foundries* chinesas, apesar da sua produção crescente, ainda estão longe de ameaçar a liderança de Taiwan. Entretanto, sendo o maior mercado consumidor de semicondutores do mundo, a China concentra

⁴ Consultoria especializada em pesquisas e análises no setor de eletrônica.

também 13% do mercado atendido pelas *foundries* dedicadas, de acordo com Goldman Sachs.

A par da consolidação setorial e da terceirização da fabricação, a aliança tecnológica parece ser um dos caminhos que vem sendo trilhados pela indústria para enfrentar os crescentes gastos com P&D. Além da TSMC, buscando a parceria de seus clientes, foi notícia a aliança reunindo Chartered, IBM, Globalfoundries, Infineon, Samsung e STMicroelectronics para o desenvolvimento conjunto de tecnologia.

Na Figura 5 a seguir podem ser vistas as tecnologias disponíveis para fabricação ou com investimentos anunciados nos principais IDMs, segundo informação da Intel publicada no *Financial Times*.

Figura 5 | Tamanho do transistor (em nanômetros)

	130	90	65	45	32	22
Intel						
Samsung						
STMicroelectronics						
IBM						
Toshiba						
AMD						
Texas Instruments						
Fujitsu						
NEC						
Panasonic						
Freescale						
Renesas						
Infineon						
NXP						
Sony						
Motorola						
Hitachi						
Philips						
Mitsubishi						
Siemens						

Fonte: Intel (*apud Financial Times*)

Verifica-se que, à medida que diminui a geometria, diminui também o número de fabricantes que a ofertam para o mercado. Assim, 14 empresas fabricavam componentes em 90 nm, porém apenas nove fabricam semicondutores com 45 nm. Destas, somente duas – Intel e Samsung – anunciaram investimentos firmes em 22 nm.

Observa-se, no mesmo quadro, a coincidência da substituição de uma empresa pela que a consolidou com a mudança de patamar tecnológico. É o caso, por exemplo, de Hitachi e Mitsubishi sendo substituídas por Renesas na passagem de 130 nm para 90 nm. Notam-se também empresas de eletrônica que são substituídas pelos *spin-offs* de seu negócio de semicondutores, como é o caso da Siemens e Infineon, ou da Motorola e Freescale.

As operações de fusão e aquisições, tanto de empresas quanto de unidades de negócios, são diversas, envolvendo não apenas fabricantes e fornecedores de *chips*, mas também toda a rede de fornecedores dessa indústria. Podem ser citadas algumas aquisições ocorridas mais recentemente:

- ATI pela AMD em 2006, por US\$ 5,4 bilhões em dinheiro e ações;
- Msystems pela SanDisk em 2006, por US\$ 1,55 bilhão em ações;
- Portalplayer pela NVIDIA em 2006, por US\$ 357 milhões em dinheiro;
- Agere pela LSI em 2006, por US\$ 4 bilhões em ações;
- Analog Devices pela Mediatek em 2007, por US\$ 350 milhões em dinheiro;
- Genesis pela STMicroelectronics em 2007, por US\$ 336 milhões em dinheiro;
- Sigmatel pela Freescale em 2007, por US\$ 110 milhões em dinheiro;
- *Foundry* de 8” da Hitachi em Cingapura pela Chartered em 2008, por US\$ 233 milhões em dinheiro;

Ainda corroborando essa tendência, tem-se o anúncio recente de fusão entre a NEC, um dos maiores fabricantes de CIs do Japão, e a Renesas Technologies.

O movimento de fusão e consolidação tornou-se menor no início de 2009, dada a situação difícil da indústria de forma geral. Entretanto, aqueles que podem praticar seu poder de compra estão encontrando raras oportunidades

de investimento. As empresas, via de regra, estão com suas ações muito depreciadas, sendo possível adquiri-las por valores bem abaixo do usual. Esse é um momento estratégico para aqueles que pretendem expandir sua atuação para novos mercados ou reforçar sua atuação completando um portfólio de produtos, por meio da aquisição de unidades de negócio que trazem consigo carteiras de clientes. Essa janela de oportunidade pode também ser utilizada por países que desejem ingressar na geografia da indústria de semicondutores e sejam capazes de utilizar a disponibilidade de capital, sobretudo por meio de instrumentos de participação societária, como vetor de negociação.

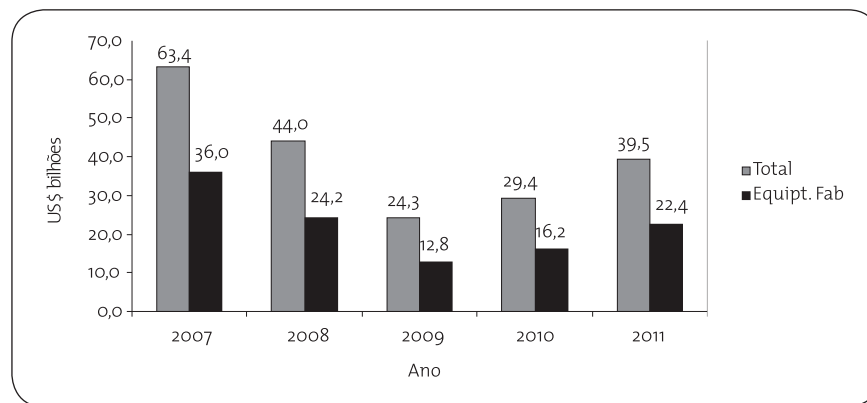
Segundo análise da iSuppli, o lançamento a cada dois anos de uma nova geometria, conhecida como Lei de Moore, está chegando ao seu limite, mas não por razões técnicas. Os preços dos bens de capital necessários para fabricação de uma nova tecnologia aumentam à razão inversa da geometria. Quanto menor a geometria, maiores os valores dos investimentos. Isso dificulta a amortização dos equipamentos durante o tempo de vida útil da tecnologia, ou seja, durante os dois anos até o lançamento da geometria seguinte. A iSuppli estima que esse limite de viabilidade econômica será atingido na passagem de 20 nm para 18 nm, por volta de 2014.

A mesma consultoria acredita que, desde já, a indústria de semicondutores irá explorar mais longamente cada tecnologia, prevendo que poucos serão os investimentos em 45 nm e abaixo em 2009. Isso tem reflexos diretos sobre a indústria de bens de capital especializados em microeletrônica.

Os investimentos em equipamentos foram bastante elevados em 2006 e 2007. O início do ano de 2008 presenciou uma redução desses investimentos principalmente por parte de fabricantes de memórias, uma vez que o mercado tinha um excesso de oferta desse tipo de componente, coerente com o comportamento cíclico do setor. Com a eclosão e o aprofundamento da recessão mundial, a demanda por equipamentos sofreu uma grande queda, intensificada em 2009. Os primeiros sinais de recuperação do setor fazem prever o início da retomada dos investimentos no final de 2009. O Gráfico 6 apresenta informações do Gartner sobre o investimento total da indústria, com destaque para os equipamentos de fabricação, nos anos de 2007 e 2008, bem como sua previsão para os três anos seguintes. Cabe observar que os equipamentos de fabricação representam algo entre 75% e 80% do investimento em equipamentos, o qual inclui também equipamentos de montagem e teste automatizado.

A análise do gráfico revela que a retomada dos investimentos em capacidade produtiva é gradual e a recuperação da demanda de bens de capital muito lenta, fazendo com que seja esperado um movimento de consolidação também entre os fornecedores de equipamentos. Todavia, um alento para essa indústria está no fato de que as empresas de semicondutores que não conseguirem acompanhar a próxima onda de miniaturização dos componentes provavelmente buscarão o apoio dos fabricantes de bens de capital para estender a vida da tecnologia corrente por meio de inovações em processos e desenvolvimento de novos usos da tecnologia.

Gráfico 6 | Investimentos da indústria de semicondutores



Fonte: Garner (apud Fabtech)

De acordo com a GSA, a razão entre o orçamento de P&D e vendas, que era de 27,5% em 2008, caiu para 24% em 2009. Entretanto, a entidade vem conclamando seus associados a refletir sobre esses cortes e suas possíveis consequências sobre uma rápida retomada futura. Para a GSA, cada empresa deve ver este momento como uma oportunidade de repensar o seu modelo, indo além dos clientes diretos da indústria até o mercado final e os outros atores do ecossistema, ajustando-se a seus anseios e evoluções para assegurar-se de realmente integrar a cadeia de valor da microeletrônica.

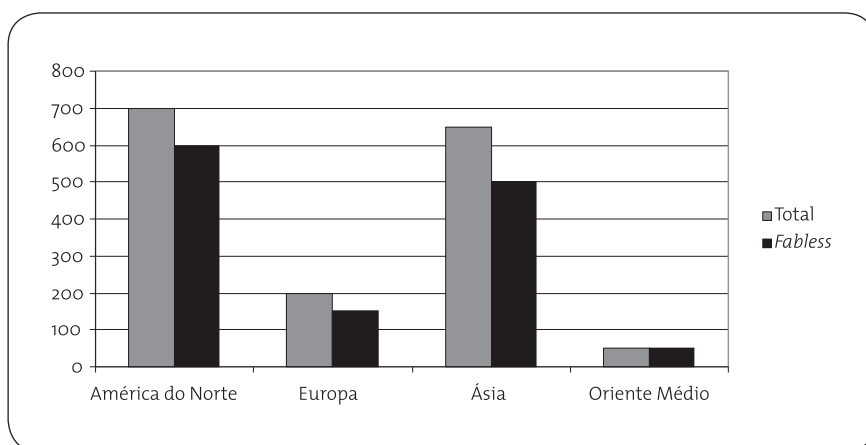
As empresas *fabless*

O modelo *fabless* consolidou-se a partir da criação das *foundries* dedicadas. Em 1994 foi constituída nos EUA a Fabless Semiconductor Association (FSA), transformada, em 2007, na Global Semiconductor

Alliance (GSA). Esta, de acordo com sua nova visão global, vem estabelecendo alianças com entidades nacionais, como as firmadas em 2008 com a China Semiconductor Industry Association (CSIA) e a India Semiconductor Association (ISA).

A GSA estima que a indústria de semicondutores no mundo seja constituída por cerca de 200 IDMs, 1.300 *fabless* e 125 *foundries*, em números gerais. Tem-se, assim, que dos fornecedores de *chips* mais de 85% adotam o modelo *fabless*, respondendo por uma participação de aproximadamente 20% do mercado total. No Gráfico 7 a seguir pode ser vista a distribuição dessas empresas pelo mundo.

Gráfico 7 | Distribuição das empresas de semicondutores



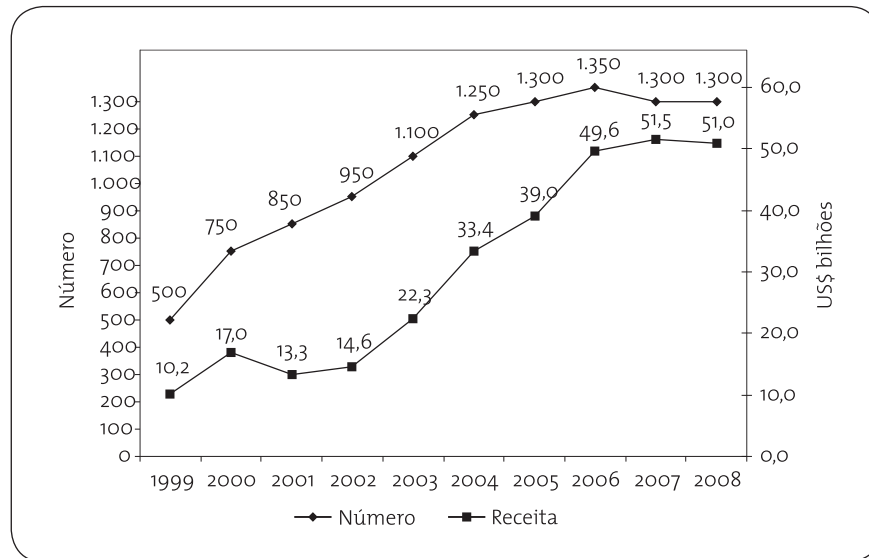
Fonte: GSA, acesso em 22.7.2009

A evolução do negócio *fabless* nos últimos dez anos pode ser acompanhada no Gráfico 8, no qual são apresentados a receita total e o número de empresas que adotaram esse modelo de negócio no período entre 1999 e 2008.

É importante observar o menor crescimento do número de empresas quando comparado ao aumento das receitas, verificando-se uma espécie de “estabilização” em torno de 1.300 *fabless*. No entanto, isso não significa que o modelo atingiu sua saturação, mas que existe também entre essas empresas

um processo de consolidação em curso, assim como um aprofundamento na complexidade dos seus produtos.

Gráfico 8 | Evolução das empresas *fabless* independentes



Fonte: GSA, acesso em 22.7.2009

A GSA acompanha o *ranking* das maiores empresas de semicondutores do mundo, destacando aquelas que adotam o modelo *fabless*. Os resultados de 2008 podem ser vistos na Tabela 4.

O exame da tabela permite verificar que, proporcionalmente, houve um maior número de empresas *fabless* com crescimento durante o ano de 2008, provavelmente por serem estas empresas de alta especialização em um segmento de mercado ou aplicação de grande demanda, caso da comunicação móvel em banda larga ou dispositivos FPGA, por exemplo.

Com a recessão, a dificuldade de financiamento das empresas nascentes aumentou muito, por causa da escassez de crédito. Os fundos de capital de risco, fonte usual de financiamento para essas empresas, tornaram-se avessos ao risco, preferindo realizar poucas operações em tecnologias mais recentes.

Tabela 4

10 Maiores Empresas de Semicondutores			10 Maiores <i>Fabless</i>		
Companhia	Receita 2008 (US\$ milhão)	Crescimento em 2008	Companhia	Receita 2008 (US\$ milhão)	Crescimento em 2008
Intel	37.586,0	- 2,0 %	Qualcomm - QCT Division	6.477,0	15,3 %
Samsung Electronics - Semi Division	15.965,9	- 26,6 %	Broadcom	4.658,1	23,3 %
Toshiba Semiconductor	12.579,5	- 2,6 %	Nvidia	3.424,9	- 16,4 %
Texas Instruments	12.501,0	- 9,6 %	Marvell Semiconductor	2.950,6	1,9 %
STMicroelectronics	9.842,0	- 1,6 %	MediaTek	2.754,5	11,4 %
Renesas Technology	7.017,0	- 12,3 %	LSI	2.677,1	2,8 %
Qualcomm - QCT Division	6.477,0	15,3 %	Xilinx	1.905,9	5,4 %
NEC Electronics - Semi Division	6.440,0	11,7 %	Avago Technologies	1.665,0	7,1 %
Infineon Technologies AG	6.116,5	4,3 %	Altera	1.367,2	8,2 %
Advanced Micro Devices (AMD)	5.808,0	- 0,9 %	SanDisk - OEM Division	1.030,3	- 19,7 %

Fonte: GSA e iSuppli (*apud* GSA)

Custos da indústria

A contínua diminuição das geometrias e o aumento do número de transistores no *chip* têm sido acompanhados por um correspondente aumento nos custos tanto de fabricação, em equipamentos e desenvolvimento de processos, quanto de projeto, em ferramentas e metodologias. Todavia, tal aumento é exponencial, de forma que a construção de uma *megafab* para processamento de *wafers* de 12 polegadas, também referidos como de 300 mm, requer em tecnologia de ponta investimentos de até US\$ 5 bilhões.

O aumento do diâmetro do *wafer*, acompanhando a redução das geometrias, permite que um número ainda maior de *chips* seja produzido a cada

vez. A diminuição da geometria, por outro lado, permite também a redução da área do *die*. Isso tem um duplo efeito sobre o número de componentes produzidos, somando a redução de área necessária ao componente com o aumento do rendimento (*yield*) do processo. Os naturais pontos de imperfeição do *wafers* ao final do seu processamento atingem um número menor de componentes, caso o tamanho do *die* seja menor.

Por fim, o próprio processo de fabricação vem sendo aprimorado, em busca de graus de precisão cada vez maiores, por exemplo, diminuindo a densidade de defeitos por *wafers*, com reflexos imediatos sobre o rendimento da fabricação. Por outro lado, vem enfrentando desafios como o trazido pela adoção de geometrias nanométricas, que obriga o processo de fabricação a migrar da luz visível, cujo comprimento de onda tornou-se maior que a geometria do *chip*, para a radiação ultravioleta.

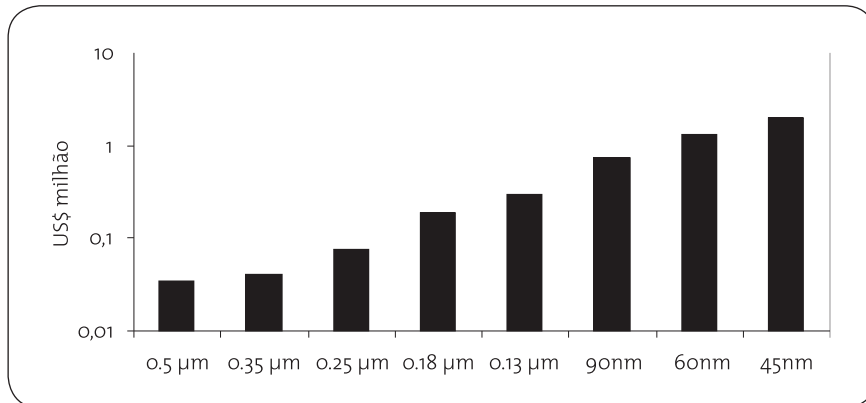
Pelo exposto, parece haver uma associação entre tecnologia de ponta e produto de fabricação em massa. Não é por acaso que as novas geometrias têm sido lançadas por fabricantes de microprocessadores e memórias. Estas são de altíssima demanda, e aqueles, produtos de volume e grandes margens, desde que obedecidas as janelas de mercado e as funcionalidades apropriadas.

Os custos de desenvolvimento de novos processos são maiores para o primeiro desenvolvedor, sendo significativamente menores para aqueles que escolhem ser seguidores, lançando suas fábricas na nova tecnologia meses ou um ano depois do primeiro.

Os preços dos equipamentos e das máscaras de fabricação que imprimem dimensões nanométricas nos *wafers* também atingiram valores exponencialmente crescentes, de forma que, por exemplo, um jogo de máscaras específicas para um determinado componente pode chegar a custar US\$ 2 milhões em 45 nm.

Com o aprendizado e o surgimento de fornecedores concorrentes, o preço de equipamentos e máscaras de fabricação sempre cai. Contudo, esse é um benefício que precisa ser cotejado com a possibilidade de a empresa de semicondutores poder praticar preços adequados para seus clientes quando opera com tecnologias mais antigas. O Gráfico 9 ilustra a redução de preço do jogo de máscaras em função da maturidade da tecnologia em 2006.

Gráfico 9



Fonte: Kumar (2008)

Tudo isso tem feito com que poucas sejam as empresas que conseguem acompanhar a evolução tecnológica da fabricação. Como alternativas, as IDMs vêm migrando para um modelo *fablite*, que se diferencia do *fabless* pelo fato de a empresa de CIs possuir fábricas próprias, porém fazendo uso da terceirização em *foundries* parceiras para geometrias específicas. Outras tendências verificadas entre as empresas são as fusões e aquisições ou a formação de alianças para desenvolvimento e fabricação de novos componentes.

No projeto de um CI, uma parcela significativa do custo está associada à NRE (Non-Recurring Engineering). Esta tem uma vertente na fabricação (por exemplo, o jogo de máscaras) da ordem de alguns milhões de dólares e, no projeto, da ordem de dezenas de milhões de dólares, eventualmente acrescidos de custos de reprocessamento do silício em função de erros de projeto. O custo NRE é crescente com a geometria, embora seu custo por porta lógica diminua exponencialmente com as dimensões.

O custo de desenvolvimento de um CI em geometrias mais avançadas é muito elevado, dados a grande complexidade do projeto e da sua verificação e o elevado preço das máscaras de fabricação, o que leva essa opção a ser escolhida por empresas que trabalham com grandes volumes de produção.

Por essa razão, as pequenas *fabless* buscam, preferencialmente, a tecnologia mais madura que atenda aos requisitos de funcionalidade, desempenho e preço almejados pelo projeto. No entanto, é importante ter em mente que

o primeiro projeto em uma dada geometria é sempre mais custoso, pois envolve o desenvolvimento de nova arquitetura, *software*, nova biblioteca de IPs, novos modelos e metodologias etc. A partir do segundo projeto, esse esforço certamente é menor.

Custos do projeto

A crescente complexidade dos CIs torna o controle de custos de um projeto algo difícil, porém fundamental para a rentabilidade de um produto. Se a esse fato aliar-se um ambiente de mercado altamente competitivo, aumenta muito a importância do controle desses custos.

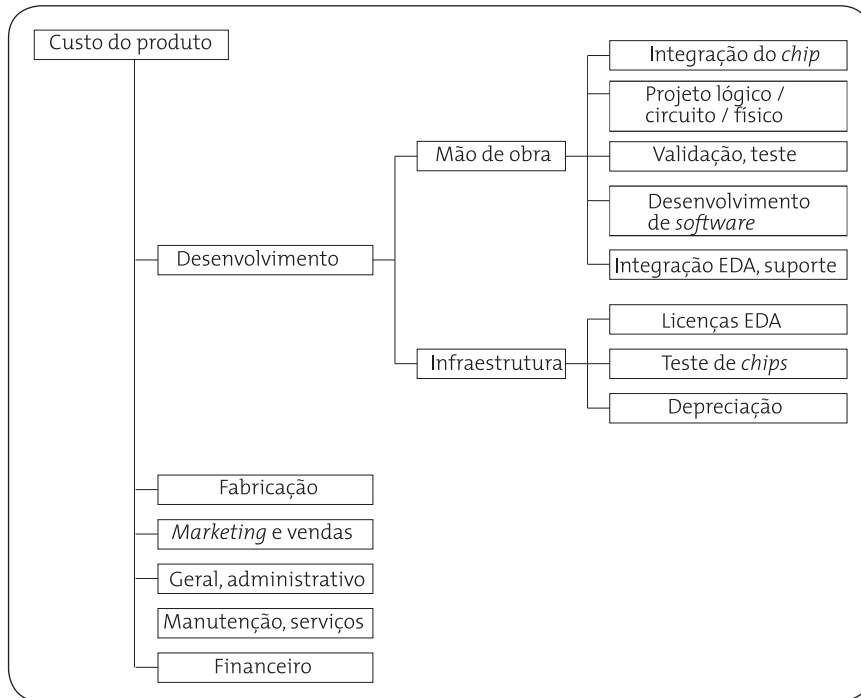
Vale lembrar que os custos de um projeto são incorridos antes da produção em volume do *chip*, ao passo que as receitas associadas à venda do componente estendem-se por alguns anos. Isso permite concluir ser desejável um processo contínuo de inovação em que o fluxo de receitas de um produto cubra os custos de projeto de outro produto futuro.

Vários são os custos, fixos e variáveis, que afetam um projeto. Enquanto os custos fixos independem do número de unidades de um dado CI vendidos, os custos variáveis aumentam proporcionalmente ao número de unidades produzidas. A atividade de projeto de um CI é um exemplo de custo fixo, cuja amortização deve ser repartida entre o número de unidades do *chip* vendidas.

A Figura 6 e a discussão a seguir foram extraídas do capítulo Design do *ITRS 2007*. Elas ilustram a composição de custos fixos e variáveis de um projeto digital, caso da maioria. Por simplificação, levam-se em consideração apenas os custos diretos associados ao desenvolvimento de um projeto. Também não são considerados custos de oportunidade e aqueles associados a perdas de receitas.

O custo do projeto pode ser decomposto em custo de mão de obra e de infraestrutura. Em mão de obra estão considerados: a especificação; o projeto lógico, de circuito e físico; a integração do *chip* à plataforma de referência; a validação e os testes; o desenvolvimento de *software*; a integração EDA; o suporte. Em infraestrutura estão computadas: as licenças de uso de ferramentas de projeto, incluindo o ambiente de desenvolvimento; a infraestrutura para testes de *chips*; a depreciação. Todos esses são custos diretos, podendo ser adicionado mais um pequeno percentual para despesas gerais e administrativas.

Figura 6



O aprimoramento da tecnologia de projeto traz inovações que impactam diretamente a rentabilidade da empresa, pois que provocam alterações em cada um desses componentes de custo.

Mão de obra

O custo da mão de obra pode ser calculado como o produto do custo unitário do trabalho (expresso em salário de um engenheiro em um ano) pelo número de portas lógicas no CI, dividido pela produtividade média de um projetista (número de portas lógicas que um engenheiro médio projeta em um ano).

$$\text{Custo de mão de obra} = \text{Custo unitário} * \text{Número de portas} / \text{Produtividade média}$$

A análise da fórmula revela que a melhor forma de reduzir o custo da mão de obra é aumentando a produtividade. A fim de verificar esse fenômeno, a pedido do ITRS, o Gartner mediu a produtividade dos projetistas

e quantificou os incrementos na produtividade decorrentes das principais inovações em tecnologia de projetos.

A produtividade de um projetista médio foi estabelecida em quatro mil portas lógicas (ou 16 mil transistores) por ano, em 1990, quando da criação da metodologia RTL. A Tabela 5 mostra as principais inovações ocorridas desde então, acarretando um crescimento anual médio da produtividade entre 1990 e 2007 de 39,6%, aproximadamente.

Tabela 5

Inovação em Tecnologia de Projeto	Ano	Aumento de Produtividade	Produtividade (Portas/Projetista-Ano)	Descrição da Inovação
Nenhuma	1990		4k	
Posicionamento e roteamento	1993	+ 38,9 %	5,55k	Transferência da atividade de posicionamento e roteamento do semicondutor para a equipe de projeto
Engenheiro	1995	+ 63,6 %	9,09k	Presença na equipe de pelo menos um engenheiro sênior com experiência em todas as fases de um projeto
Reuso - pequenos blocos	1997	+ 340 %	40k	Blocos de 2.500 a 74.999 portas lógicas
Reuso - grandes blocos	1999	+ 38,9 %	56k	Blocos de 75.000 a 1 milhão de portas lógicas
Ferramentas de implementação do CI	2001	+ 63,6 %	91k	Conjunto de ferramentas integradas que vai da síntese RTL ao GDS II através de posicionamento e roteamento

(Continua)

Tabela 5

Inovação em Tecnologia de Projeto	Ano	Aumento de Produtividade	Produtividade (Portas/Projetista-Ano)	Descrição da Inovação
Ferramentas de validação funcional RTL	2003	+ 37,5 %	125k	Conjunto de ferramentas de validação RTL integradas incluindo todos os simuladores e ferramentas formais necessárias para completar o processo de validação
Modelagem transacional	2005	+ 60 %	200k	Desenvolvimento de modelos padronizados System C no nível transacional de abstração
Reuso - blocos muito grandes	2007	+ 200%	600k	Blocos acima de 1 milhão de portas lógicas

Fonte: ITRS

Infraestrutura

O custo da infraestrutura EDA é calculado como o produto do custo unitário das ferramentas (custo das ferramentas por engenheiro em um ano) pelo número de portas lógicas do CI, dividido pela produtividade média de um projetista (número de portas lógicas que um engenheiro médio projeta em um ano).

$$\text{Custo Infra EDA} = \text{Custo unitário EDA} * \text{Número de portas} / \text{Produtividade média}$$

O ITRS estima em cerca de 3,9% o crescimento anual do custo unitário das ferramentas EDA, a partir de um valor inicial de US\$ 99.301 por engenheiro em 1990. Já para o salário unitário foi calculado um crescimento anual de 5%, a partir de um valor inicial de US\$ 181.568 no mesmo ano. Isso permite concluir que a parcela do custo total devida à mão de obra é majoritária e crescente.

Quanto ao custo de desenvolvimento de *software*, o ITRS afirma que em 2007, pela primeira vez, superou o custo de desenvolvimento de *hardware*, considerando que um projeto de CI divide-se entre desenvolvimento de

hardware e desenvolvimento de *software*. Entretanto, tal relação não seria verdadeira sem as inovações em tecnologia de projeto ocorridas entre 1993 e 2005, que baratearam o custo de desenvolvimento de *hardware* algumas dezenas de vezes. Dada a situação atual, verifica-se a tendência do custo do projeto ser determinado pelo custo do desenvolvimento do *software*.

Políticas de governo

O programa CI Brasil

Março de 2004 foi marcado pelo lançamento da política industrial do governo federal, que elegeu a microeletrônica entre os setores prioritários a serem fomentados.⁵ As discussões que se seguiram sobre esse setor no âmbito do governo juntaram-se a estudos do Ministério da Ciência e Tecnologia (MCT), que em 2002 lançara o Programa Nacional de Microeletrônica.

Considerando a mudança no modelo de negócios de fabricação de semicondutores que tivera início na década anterior, com o surgimento das *foundries* independentes, bem como o alto volume de recursos necessários à implantação da etapa de fabricação no País – estimado em, pelo menos, algumas centenas de milhões de dólares –, o MCT julgou adequado que a inserção nacional nessa indústria se desse por meio da atividade de projeto de CIs, acompanhada da formação de recursos humanos específicos para microeletrônica.

No contexto das ações voltadas a incentivar a realização da etapa de projeto de *chips* no Brasil, em 2005, o MCT deu corpo ao Programa CI Brasil, com a criação das chamadas *design houses* (DH). Estas seriam empresas estruturadas em consonância com uma de duas estratégias: ou ligadas a instituições tecnológicas brasileiras ou a empresas internacionais atuantes no setor.

Segundo a primeira vertente estratégica, inicialmente foram selecionadas cinco DHs, distribuídas pelo País como forma de incentivar sua ligação com a indústria e entidades regionais, e mais uma instituição de apoio, a saber:

- Centro de Pesquisas Renato Archer – CenPRA, hoje CTI, em Campinas;

⁵ Juntamente com *software*, bens de capital e fármacos.

- Centro de Excelência em Tecnologia Eletrônica Avançada – Ceitec, em Porto Alegre;
- Laboratório de Sistemas Integráveis da Escola Politécnica da Universidade de São Paulo – LSITec, em São Paulo;
- Centro de Estudos e Sistemas Avançados do Recife – C.E.S.A.R, em Recife;
- Centro Tecnológico do Polo Industrial de Manaus – CT-PIM, em Manaus;
- Rede Brazil IP, à qual estavam ligadas oito universidades.

O CTI e o Ceitec teriam a função de âncoras, pois já dispunham de facilidades de concepção, projeto, fabricação e testes de CIs. Quanto à rede Brazil IP, tinha por atribuição apoiar as DHs do Programa por meio da capacitação e certificação de profissionais dedicados a projeto de *IP cores* e do efetivo desenvolvimento de blocos com qualidade industrial.

A segunda vertente estratégica do Programa objetivava a atração para o País de centros de projeto ligados a empresas do setor de Tecnologia da Informação e Comunicação (TIC) e fabricantes de semicondutores - IDMs e *fabless*. Cumpre observar que um grande número de empresas de TICs está presente no Brasil, várias delas com atividades produtivas locais beneficiadas pela Lei de Informática. Essa lei propicia uma redução do IPI (Imposto sobre Produtos Industrializados) às empresas que fabricam equipamentos pelo MCT e investem um percentual de sua receita com esses equipamentos em atividades de P&D, interna e externamente. Vale assinalar que, no final da década de 1990, a Motorola criou no Brasil um centro proprietário de projeto de *chips*.

De acordo com a formulação do Programa CI Brasil, o MCT, por intermédio de suas agências Financiadora de Estudos e Projetos (Finep) e Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), patrocinou a instalação da infraestrutura de estações de trabalho e *software* EDA das DHs escolhidas, assim como a remuneração de projetistas com a concessão de bolsas especiais.

Também via Finep e CNPq foram apoiadas a implantação e operação de dois centros de treinamento para formação de projetistas, em dois níveis, um em Porto Alegre e o outro em Campinas. Cumpre ressaltar que o curso de treinamento foi inicialmente conduzido pela própria Cadence, empresa líder em EDA que havia licenciado o *software* para o Programa, atestando a alta qualidade dos investimentos realizados pelo MCT.

O Termo de Referência do Programa previa o crescimento do número de DHs no segundo e terceiro ano de operação. Entretanto, apenas mais duas DHs foram incorporadas ao CI Brasil no período: o Centro de Pesquisas Avançadas Von Braun, de Campinas, e o Centro de Tecnologias Estratégicas do Nordeste - CETENE, em Recife. O investimento em infraestrutura e também a remuneração dos projetistas da primeira foram custeados com recursos privados. Já a outra foi criada pelo MCT em 2005 como instituição pública e patrocinada pelo Ministério.

Em consonância com a meta de elevação do número de DHs de sete para 14 prevista na Política de Desenvolvimento Produtivo do governo federal, ao final de 2008, por meio de um Edital do CNPq, o número de DHs do Programa foi ampliado. O Edital previa o apoio a DHs em duas Linhas de Ação. A primeira apoiando a concessão de bolsas de projetistas para empresas. A segunda contemplando DHs ligadas a instituições tecnológicas para investimentos em infraestrutura e custeio de projetistas.

Foram selecionadas na primeira Linha de Ação:

- Freescale (sucessora da Motorola), IDM internacional, em Campinas (SP);
- Idea!, microempresa criada a partir do Brazil IP;
- Siliconreef, microempresa incubada no C.E.S.A.R;
- ExcelChip, microempresa incubada na USP;
- CM – Chipus, microempresa criada por ex-funcionários do Ceitec.

Na segunda Linha de Ação, foram selecionadas as instituições:

- Associação Núcleo Interdepartamental de Microeletrônica – Nimetec, em Florianópolis (SC);
- Universidade Federal de Minas Gerais – UFMG, em Belo Horizonte (MG);
- Universidade de Brasília – UnB, em Brasília;

- Instituto Alberto Luiz Coimbra de Pós-Graduação e Pesquisa de Engenharia da Universidade Federal do Rio de Janeiro – Coppe/UFRJ, no Rio de Janeiro (RJ);
- Fundação de Apoio à Tecnologia e Ciência – FATECIENS, em Santa Maria (RS);
- Genius Instituto de Tecnologia, em Manaus (AM);
- Universidade Federal de Pernambuco, em Recife (PE).

Concluída a primeira etapa do Programa CI Brasil, as licenças de ferramentas Cadence foram renovadas em 2009, já no escopo da ampliação do Programa.

Este ano marcou também o início da avaliação das primeiras DHs, com a explicitação do desejo do MCT de que as DHs buscassem o caminho da sustentabilidade, o que permitiria que o apoio financeiro do Programa fosse direcionado para a formação e fortalecimento de sucessivos grupos de novas DHs, povoando a etapa de projeto do ecossistema microeletrônico brasileiro.

Mercado brasileiro das DHs

A indústria brasileira de bens eletrônicos, potencial demandante de serviços de uma DH, é amplamente beneficiada pela Lei de Informática e pelas regras da Superintendência da Zona Franca de Manaus (Suframa), nos dois casos atendendo a Processos Produtivos Básicos publicados pelo MCT ou pela Suframa.⁶ Com poucas exceções, a indústria restringe-se à realização no País de atividades de montagem e testes de integração final de kits de componentes eletrônicos importados, constituídos não apenas por semicondutores, mas pela totalidade dos componentes à exceção de partes metálicas, plásticos, cabos etc.

Poucas são as empresas que realizam o projeto de equipamentos localmente, sendo estas geralmente de porte pequeno e médio. Isso significa que a escala de seus produtos não é grande, o que pode restringir a viabilidade econômica de desenvolvimento de ASICs para essas empresas. Por outro lado, não existe no País a cultura da diferenciação de produtos por meio

⁶ Independentemente da publicação, os PPBs são sempre elaborados em conjunto pelo MCT e MDIC (Ministério do Desenvolvimento, Indústria e Comércio Exterior), ao qual a Suframa está subordinada.

de *hardware* inovador, materializada em projetos de *chips* sob encomenda, preferindo-se as soluções em FPGA, realizadas pelas próprias empresas.

As grandes demandantes internacionais instaladas no País raramente realizam o desenvolvimento de *hardware* localmente, o que torna improvável a contratação de serviços a uma DH. Como visto, a ligação entre projeto de ASIC e projeto de bem eletrônico é muito forte e, na medida em que os principais centros de desenvolvimento de produtos dessas empresas não estão no Brasil, poucas são as oportunidades para uma DH brasileira.

Quanto à realização de serviços de forma terceirizada, a própria Cadence arquitetou a realização de um evento de promoção das DHs brasileiras, convidando executivos de empresas internacionais de semicondutores para um encontro no País. A ideia era propiciar uma aproximação entre as DHs e possíveis contratantes de serviços a serem exportados. Houve o encontro, mas pequenos resultados foram obtidos.

A despeito da iniciativa da Cadence, é preciso haver um trabalho consistente não apenas de divulgação mas de conhecimento mútuo e confiança entre uma fabricante de CIs, seja ela IDM ou *fabless*, e uma DH a ser subcontratada. A existência de um currículo de realizações exitosas (*track record*) de uma DH é fator fundamental para o início das conversações.

Ora, sabedor da necessidade de romper esse círculo vicioso e de incentivar o desenvolvimento de tecnologia nacional de CIs e também de bens eletrônicos, o governo, por meio de suas instituições de fomento Finep, CNPq e BNDES, tem disponibilizado recursos não reembolsáveis para apoiar o custeio de tais atividades e também a implantação da infraestrutura necessária à sua realização. Os instrumentos utilizados são diversos, podendo ser citados os Editais de Microeletrônica, de Subvenção Econômica, de Ações Transversais e do Funttel, as encomendas no âmbito do FNDCT, CT-Info e Funttel e o Programa Funtec. Este último, do BNDES, será detalhado a seguir neste artigo.

Tais ações visam superar a restrição econômica à realização de projetos de ASICs no Brasil, de modo que os custos associados ao desenvolvimento do projeto sejam assumidos pelo Estado brasileiro. Os custos unitários ligados à fabricação em escala de um ASIC, por exemplo, são inferiores ao preço de uma FPGA, o que torna vantajoso para uma fabricante de equipamentos a utilização do primeiro tipo de componente. A ideia é permanecer nesse tipo

de ação até que as DHs tenham se consolidado como empresas e atingido sua sustentabilidade, exercitando suas equipes, formando bibliotecas de IPs, acumulando um currículo de projetos de sucesso e formando parcerias tanto com clientes quanto com fornecedores de materiais e serviços.

É importante assinalar que, nesse trabalho de fomento, deve-se considerar projeto não somente o desenvolvimento do *chip*, mas a sua chegada ao mercado em produção normal – embutido em um equipamento ou negociado no mercado de semicondutores a um número potencial de clientes superior a três. Isso requer que o desenvolvimento do CI seja completo, indo até o *tape-out*, acompanhado pelos correspondentes fabricação de jogo de máscaras e testes de amostras.

Naturalmente, é importante observar que os próprios custos associados ao desenvolvimento de um projeto já estão parcialmente cobertos pelo Programa CI Brasil por meio da concessão de bolsas a projetistas e do suporte físico e de serviços às ferramentas EDA.

Observou-se também nesse trabalho a dificuldade que as DHs encontram de controlar seus custos e fixar metas de produtividade, especialmente quando se trata do desenvolvimento de circuitos analógicos. Cabe frisar que dificuldades com custos e formação de preços são comuns em empresas em formação (*start-ups*), sobretudo aquelas de origem tecnológica.

Outra observação curiosa é que, pelo fato de as escalas de bens finais serem baixas, muitas vezes o número de componentes produzidos nas amostras de engenharia é suficiente para suprir toda a demanda gerada pela vida útil do produto eletrônico final. Naturalmente, isso requer que na amostra já tenham sido atingidas todas as expectativas do projeto, o que nem sempre é difícil, particularmente para os CIs mais simples. Por outro lado, esse fato tem viabilizado que as DHs executem projetos de *chip* em parceria com microempresas e nos quais questões próprias da fabricação em volume não se colocam, como a administração de estoques, comando da produção em *foundries* e encapsuladores etc. Isso tem permitido que algumas DHs atuem como fabricantes *fabless*.

Buscando a atuação em nichos, algumas DHs já vêm realizando serviços de projeto em terceirização para DHs no exterior. O caso mais conhecido teve origem no fato de um experiente projetista radicado nos EUA ter sido contratado por uma DH brasileira. Além da sua experiência, o projetista trouxe contatos no exterior e credibilidade para o trabalho realizado no

Brasil. Isso confirma a necessidade de divulgação sistemática do País e das DHs brasileiras, como já diagnosticado pelo CI Brasil. Por outro lado, a especialização em terceirização traz para as DHs brasileiras novos desafios, quais sejam as necessidades de vivência internacional e de administração de um corpo técnico profissional, com os respectivos encargos trabalhistas.

Quanto à estratégia do Programa CI Brasil de atração de centros de projeto de empresas internacionais, até hoje não foi concretizada. O único centro existente no Brasil é o da Freescale, implantado antes da criação do Programa. Em 31 de maio de 2007, a Lei 11.484, federal, criou o Programa de Apoio ao Desenvolvimento Tecnológico da Indústria de Semicondutores (Padis), que contempla com uma série de incentivos fiscais, incluindo a isenção de Imposto de Renda, a realização de projetos de *chip* no País. No entanto, somente a edição da lei não tem sido suficiente para sensibilizar as fabricantes internacionais de semicondutores, IDMs ou *fabless*.

Buscando superar esse obstáculo, a divulgação internacional da imagem tecnológica do Brasil e das suas potencialidades em microeletrônica começa a ser trabalhada pelo governo no âmbito da Política de Desenvolvimento Produtivo, com algumas incursões realizadas em parceria com a Agência Brasileira de Promoção de Exportações e Investimentos (Apex), que cumpre sua nova finalidade de atração de investimentos diretos no País.

Com tudo isso, é urgente a criação de mais oportunidades de projeto de CIs, até mesmo para a absorção da mão de obra que vem sendo treinada no contexto do CI Brasil. Tal qual o planejamento de implantação de DHs no Brasil, o programa de treinamento de projetistas não vem atingindo suas metas iniciais, mas ainda assim há uma pressão de oferta de projetistas não empregados. As consequências desse fato são facilmente previstas: abandono do setor, “exportação” de mão de obra e arbitragem de custos por parte das (poucas) DHs implantadas.

Por fim, cabe relatar que, mediante a promulgação da Lei 11.759 de 31 de julho de 2007, foi criado o Ceitec S.A. na forma de empresa estatal, herdeira dos direitos e obrigações da antiga associação civil sem fins lucrativos. Com a nova forma jurídica, o Ceitec passou a ter metas de rentabilidade, refletidas em um planejamento estratégico próprio. Criada em 2000 como instituição tecnológica, a associação Ceitec, além de DH, era vista como o futuro centro brasileiro de prototipagem a apoiar as DHs do CI Brasil. Já o Ceitec S.A. terá, ainda este ano, a primeira fábrica brasileira de CIs,

adotando o modelo *fablite*. Tal transformação certamente ensejará a revisão e/ou revalidação do papel que lhe havia sido atribuído em 2005 pelo MCT.

Conclusão

A indústria de semicondutores, apesar do momento recessivo da economia mundial, já mostra sinais de recuperação. As fontes de informação pesquisadas, todas renomadas, são unânimes em afirmar esse fato, embora cautelosamente só prevejam uma volta aos níveis de 2007 em dois ou três anos. De qualquer maneira, vencida a turbulência, as projeções são sempre de crescimento.

O momento atual está propiciando uma reorganização da indústria. A consolidação setorial, que já vinha ocorrendo, parece ser um caminho óbvio. A cooperação entre potenciais competidores para otimização dos investimentos também. A distribuição das atividades da cadeia produtiva em uma rede de parceiros é um terceiro caminho, que merece destaque pelas oportunidades que abre para empresas dedicadas à atividade de projeto.

Ao momento recessivo vêm somar-se novos perfis de consumo de semicondutores e a crescente demanda por inovações no setor, intensificando a necessidade de novos projetos. O fato de a tecnologia de processos possibilitar a fabricação de dispositivos mais complexos do que a tecnologia de projeto permite desenvolver é um desafio que só faz aumentar a importância de investir-se em projeto, revertendo a tradicional tendência de investir prioritariamente na inovação em fabricação.

Isso acontece no momento em que a viabilidade econômica da realização de investimentos em novas geometrias começa a ser questionada, apresentando-se como alternativa a melhor exploração da potencialidade do projeto e dos processos de fabricação das geometrias já implantadas.

Esse quadro permite concluir pela oportunidade de crescimento para as empresas *fabless*, que, proporcionalmente, vêm apresentando melhores resultados financeiros que as IDMs. No caso das pequenas empresas dedicadas ao projeto, contudo, a atual dificuldade de obtenção de financiamento pode constituir-se em uma barreira impeditiva da exploração de tal oportunidade. Lembrando que o ciclo do projeto é longo, medido em meses e, até, em anos, essa questão torna-se mais relevante.

No Brasil, todas essas questões são relativizadas pelo fato de o País não participar desse movimento como ator, limitando-se a demandar semicondutores, normalmente importados em *kits* para montagem. Os reflexos disso sobre a balança comercial são graves e perversos, como demonstrado na abertura deste trabalho. Em adição, a não inserção brasileira em semicondutores reduz o potencial de inovação de nossa indústria eletrônica como um todo, e dos demais segmentos que embarcam esta tecnologia em busca de diferenciação.

O governo brasileiro está ciente desse problema e também da importância estratégica de possuir um ecossistema de microeletrônica efetivamente implantado no País, o que inclui a atividade de projeto. Muitas têm sido as iniciativas e ações no sentido de fomentar a criação e consolidação de DHs brasileiras, assim como a atração de centros de projeto de semicondutores de grandes empresas internacionais. Pela sua abrangência, destaca-se o Programa CI Brasil, que entrou agora em sua segunda fase.

A primeira fase do Programa deu origem a sete DHs completas, porém frágeis, uma vez que estão ainda longe de atingir seu equilíbrio financeiro. Começam agora a produzir *spin-offs*, na forma de microempresas, quase todas incubadas. Isso faz prever um caminho de alguns anos até a sua efetiva autonomia e rentabilidade.

Nesse caminho, tal qual acontece com empresas de tecnologia nascentes, o apoio financeiro é especialmente importante, em particular por meio de fundos de capital semente e capital de risco. É neste ponto que surge uma inquietação: estarão os fundos brasileiros preparados para desempenhar esse papel? Deve-se considerar que os valores envolvidos são muitas vezes superiores aos que os fundos de capital semente estão autorizados a aplicar em uma empresa. Por outro lado, o tempo de maturação dos investimentos e o próprio risco da atividade desenvolvida são maiores do que aqueles a que os fundos de capital de risco estão normalmente acostumados. A resposta àquela pergunta é: precisamos de instrumentos financeiros com novas concepções.

O arcabouço legal brasileiro vai sendo ajustado às necessidades da microeletrônica, por meio da criação do PADIS e das suas alterações posteriores. Entretanto, ainda nenhum ator internacional decidiu-se pela implantação no País. À falta de divulgação externa se junta uma certa falta de assertividade,

por exemplo, na exigência de contrapartidas aos benefícios financeiros proporcionados pela Lei de Informática. A decisão da Motorola, única empresa internacional a investir em projeto de semicondutores no País, deveu-se à iniciativa isolada da empresa, então dedicada unicamente a equipamentos de telefonia celular, na estruturação de uma DH proprietária.

As múltiplas iniciativas de políticas públicas visando apoiar o projeto de microeletrônica não estão restritas ao Programa CI Brasil, atingindo atores e contornos que extrapolam a sua abrangência. Entretanto, o Programa é um celeiro de formação de mão de obra especializada, disponível para alimentar projetos de variadas formas, que urge empregar na microeletrônica brasileira.

Por fim, a já comentada relação entre os elementos da cadeia de valor de um CI condiciona a atuação do governo em prol de um leque de políticas públicas cujo objetivo seja o desenvolvimento do ecossistema de microeletrônica como um todo. Portanto, a atração de investimentos para as etapas de produção do CI é ação complementarmente necessária ao desenvolvimento das etapas de projeto em microeletrônica.

Ação do BNDES e proposta

O BNDES tem participado ativamente na elaboração de políticas de estímulo ao desenvolvimento e adensamento do complexo eletrônico, em especial do ecossistema de CIs. Essa participação foi um dos pilares das medidas até aqui implementadas e se materializa por meio da representação do Banco nos diversos fóruns de políticas públicas que conduzem ações para implantação da indústria de semicondutores no País.

O constante aperfeiçoamento das Políticas Operacionais do BNDES – com definição de melhores condições de apoio, não reembolsável inclusive, para projetos de inovação tecnológica e para investimentos de empresas de qualquer segmento voltados à aquisição de equipamentos eletrônicos com tecnologia nacional – tem sido determinante para o desenvolvimento e a disseminação de uma geração de produtos nacionais inovadores. Esse incentivo ao desenvolvimento local de tecnologia visa suplantar entraves à realização de projetos de *chips* no País.

Por meio do Fundo Tecnológico – Funtec, o BNDES realizou duas operações contemplando o desenvolvimento de *chips*, ambas apoiadas com

recursos não reembolsáveis, contratadas em 2007 e 2008, respectivamente. As operações foram enquadradas no Funtec apesar de o desenvolvimento de CIs não ser explicitamente um foco prioritário do Programa na época. São elas:

- Projeto de componente semicondutor para modulação de TV digital nos três sistemas – ATSC (americano), DVB-T (europeu) e ISDB-T (japonês e brasileiro). O valor do crédito aprovado foi de R\$ 14,6 milhões, sendo R\$ 10,3 milhões para a PUC/RS e R\$ 4,3 milhões para o Ceitec.
- Projeto e fabricação de *chips* RFID para rastreabilidade bovina. O valor do crédito foi de R\$ 18,1 milhões, tendo como beneficiário o Ceitec.

Para o ano de 2009, o Funtec foi reformulado, passando os projetos baseados em microeletrônica a ser um dos focos prioritários do Fundo. Espera-se, assim, maior demanda de recursos do BNDES com esse tipo de objetivo.

Cabe observar que os recursos Funtec somente podem ser utilizados por instituições tecnológicas. Entretanto, a necessária contrapartida da empresa interveniente em uma dessas operações pode ser financiada pelo Banco por meio de suas Linhas de Inovação, as quais, até o final de 2009, contam com uma equalização do Tesouro Nacional que permite ao BNDES praticar condições extremamente favorecidas para os seus clientes.

Convém observar a importância de garantir-se, durante a etapa de análise e estruturação das operações do Funtec, o domínio da propriedade intelectual pelas DHs. O domínio de uma biblioteca de IPs é a chave para o aumento de produtividade e a atuação diferenciada buscando conformar futuras empresas *fabless*.

Em adição à prioridade do Funtec, no atual momento de surgimento e futura graduação de empresas de projeto de microeletrônica, sabe-se que a forma adequada de apoio a essas empresas e seus Planos de Negócios é via investimentos em capital de risco. O BNDES é cotista em diversos fundos privados de capital de risco e capital semente. Entretanto, a microeletrônica tem imposto desafios à forma tradicional de operação desses fundos, principalmente aqueles que envolvem limites aos valores investidos e aos prazos para desinvestimento.

A interação com possíveis investidores, motivados pela aprovação do PADIS, tem mostrado que critérios usuais de análise para participação direta do BNDES no capital de uma empresa precisam ser estudados quanto à sua viabilidade legal e econômica. Investimentos em microeletrônica trazem à discussão temas como: a participação acionária do BNDES em empresas de controle estrangeiro; o apoio a *start-ups* de risco, caso de empreendimentos em microeletrônica; a participação no capital e no bloco de controle de uma empresa.

Assim, considera-se que cabe ao BNDES estudar a possibilidade de criação de instrumentos de capital sob medida para as empresas de microeletrônica – empresas de projeto incluídas –, abrangendo tais instrumentos tanto operações diretas quanto projetos via fundos investidos.

Essa ação deve ocorrer em paralelo com a participação do Banco nas demais iniciativas governamentais voltadas ao desenvolvimento do ecossistema de CI como um todo, destacando-se, a título de exemplo, o PAIEM (Programa de Atração de Investimentos Estrangeiros em Microeletrônica) que se depara com a janela de oportunidade já comentada neste artigo. No fomento estruturado previsto no PAIEM, os instrumentos de renda variável, quando adequados ao segmento, são um dos mais importantes motivadores para que o Brasil consiga posicionar-se como geografia alternativa atrativa para a comunidade de empresas de CI.

Por fim, aos leitores recomenda-se a consulta à página do BNDES na internet (<http://www.bndes.gov.br>) para mais informações sobre seus produtos, linhas e fundos, especialmente os citados neste artigo.

Referências bibliográficas

EDWARDS, Cliff; KHARIF, Olga. The tech sector sees signs of shoppers. **BusinessWeek**, EUA, 22 jul. 2009.

GARTNER says worldwide PC shipments on pace for 6 percent. **Gartner**, 25 jun. 2009. Disponível em <<http://www.gartner.com/it/page.jsp?id=1040020>>

GARTNER says worldwide semiconductor revenue to decline 22 percent in 2009. **Gartner**, 28 mai. 2009. Disponível em <<http://www.gartner.com/it/page.jsp?id=996412>>

HARDING, Robin. NEC sees chip recovery 'in three years'. **Financial Times**, Londres, 19 jul. 2009.

HIGHER chip prices boost Samsung. **RTÉ Business**, 24 jul. 2009. Disponível em <<http://www.rte.ie/business/2009/0724/samsung.html>>

INTERNATIONAL Technology Roadmap for Semiconductors. **Design 2007**. Disponível em <http://www.itrs.net/Links/2007ITRS/2007_Chapters/2007_Design.pdf>

INTERNATIONAL Technology Roadmap for Semiconductors. **Update 2008**. Disponível em <http://www.itrs.net/Links/2008ITRS/Update/2008_Update.pdf>

JELINEK, Len. Semiconductor manufacturing business undergoes wrenching changes amid downturn. **ISuppli**, 13 jul. 2009. Disponível em <<http://www.isuppli.com/MarketWatchDetail.aspx?ID=384>>

KUMAR, Rakesh. Fabless semiconductor implementation. [s/l] McGraw-Hill, 2008.

KWONG, Robin; HARDING, Robin. Recession tests Taiwanese chipmakers. **Financial Times**, Londres, 21 jul. 2009.

MOORE'S Law faces bleak future. **Dataweek**, 8 jul. 2009. Disponível em <<http://dataweek.co.za/article.aspx?pk1ArticleId=5712&pk1CategoryId=31>>

NUTALL, Chris. Bullish TI beats profit forecasts. **Financial Times**, Londres, 20 jul. 2009.

NUTALL, Chris. Moore's law hits economic limits. **Financial Times**, Londres, 20 jul. 2009.

NUTALL, Chris. Intel signals revival in chip demand. **Financial Times**, Londres, 14 jul. 2009.

OSBORNE, Mark. Gartner lowers semiconductor capital spending forecast for 2008 & 2009. **Fabtech**, 8 out. 2008. Disponível em <http://www.fabtech.org/news/_a/gartner_lowers_semiconductor_capital_spending_forecast_for_2008_2009/#>

OSBORNE, Mark. Gartner now expects a long slow road to semiconductor capital spending recovery. **Fabtech**, 15 jun. 2009. Disponível em <<http://>>

www.fabtech.org/news/_a/gartner_now_expects_a_long_slow_road_to_semiconductor_capital_spending_reco/#

PALMER, Maja. Makers of chips seek wider audience. **Financial Times**, Londres, 19 jul. 2009.

PROGRAMA CI BRASIL: Estratégias de fomento à criação e implantação de empresas de projetos de circuitos integrados – Design houses (DH). Ministério da Ciência e Tecnologia. Disponível em <http://www.mct.gov.br/upd_blob/0008/8078.pdf>

RITT, Edelweis Garcez. **O fluxo de projeto de sistemas integrados**. Pontifícia Universidade Católica do Rio Grande do Sul. Disponível em <http://www.inf.pucrs.br/~fragoso/lecture_notes/ln_fluxo_projeto.pdf>

SIA FORECAST: 2009 sales will decline by 21.3 percent year-on-year. **Semiconductor Industry Association**, 5 jun. 2009. Disponível na internet em <http://www.sia-online.org/cs/papers_publications/press_release_detail?pressrelease.id=1615>

Sites consultados:

<http://www.gsaglobal.org>

<http://www.sia-online.org>

<http://www.thefreelibrary.com/Mergers,+acquisitions+and+divestments-s13980>

<http://www.wikipedia.org>

<http://www.edac.org>

<http://www.mct.gov.br>

<http://www.cnpq.br>

